

# Программирование ПЛИС CPLD фирмы Altera в составе смешанной JTAG-цепочки средствами САПР Quartus II с помощью кабеля ByteBlaster II Download Cable

Николай БОРИСЕНКО  
fpga-mechanic@rambler.ru

Статья посвящена практическим вопросам конфигурации ПЛИС фирмы Altera через диагностический интерфейс JTAG в составе цепочки из кристаллов различных производителей. Рассмотрена схема загрузочного кабеля, аналогичного фирменному кабелю ByteBlaster II, сопрягающему персональный компьютер или рабочую станцию с интерфейсом JTAG через параллельный порт LPT. Описан пример смешанной цепочки кристаллов, в составе которой присутствует конфигурируемая ПЛИС. Подробно продемонстрирован порядок конфигурации ПЛИС средствами САПР Altera Quartus II.

В течение многих лет с момента освоения коммерческого производства программируемых логических кристаллов архитектуры FPGA корпорация Altera (США) занимает второе место на рынке ПЛИС, все это время успешно конкурируя с лидером рынка — американской фирмой Xilinx. В области развития существующих архитектур программируемой логики и разработки новых семейств ПЛИС сложно определить абсолютного лидера из двух упомянутых конкурентов, ибо продукция корпорации Altera нередко превосходит аналоги по техническим и экономическим показателям. Все программируемые пользователем микросхемы производства корпорации Altera, включая ПЛИС архитектуры FPGA, ПЛИС архитектуры CPLD и энергонезависимую память конфигурации FPGA, поддерживают внутрисхемное программирование — ISP (In-System-Programming). Технология внутрисхемного программирования предоставляет возможность изменять конфигурацию компонентов устройства без их демонтажа. Иными словами, осуществлять программирование микросхем не на программаторах, а непосредственно в устройстве.

Для внутрисхемного программирования ПЛИС архитектур FPGA и CPLD корпорации Altera применяется диагностический последовательный интерфейс JTAG [1]. Этот интерфейс состоит из четырех или пяти логических сигналов: TCK, TMS, TDI, TDO и TRST (необязательный). Уровни сигна-

лов интерфейса JTAG не регламентированы и зависят от технологических особенностей микросхем. Вопросы организации взаимодействия в объеме одного устройства логических микросхем с различными уровнями сигналов, например выходов на 3,3 В с входами на 5 и 1,5 В, широко отработаны и в этой статье не рассматриваются.

Для обеспечения внутрисхемного программирования сигналы JTAG-интерфейса выводятся на специальный разъем, предназначенный для подключения загрузочных кабелей и адаптеров, играющих роль устройств сопряжения между цепочкой микросхем и компьютером, на котором работают системы проектирования.

Для внутрисхемного программирования микросхем энергонезависимой памяти, не поддерживающих интерфейс JTAG и предназначенных для хранения конфигурации FPGA (микросхемы Serial Configuration Devices EPCS1, EPCS4, EPCS16, EPCS64, EPCS128), применяется технология внутрисхемного программирования в режиме Active Serial, использующем семь сигналов в отличие от четырех сигналов JTAG [3].

Корпорация Altera выпускает несколько типов загрузочных кабелей для конфигурации в ПЛИС как по интерфейсу JTAG, так и в режимах последовательной загрузки FPGA (Active Serial и Passive Serial). Наиболее простыми с точки зрения производства являются кабели для параллельного порта LPT. Кабель ByteBlaster поддерживает внутрисхемное

программирование ПЛИС в режимах JTAG и Passive Serial [4, 5]. Усовершенствованная версия кабеля ByteBlaster II поддерживает три режима: JTAG, Passive Serial и Active Serial [6]. Оба кабеля используют одинаковый технологический разъем IDC-10 для подключения к целевому устройству.

Кабель Altera ByteBlaster оснащен штыревым соединителем IDC-10/ВН-10 (ответная часть), с одним удаленным контактом (8), играющим роль ключа. В кабеле ByteBlaster II использован аналогичный соединитель без отсутствующего контакта-ключа, так как все пустовавшие контакты разъема задей-

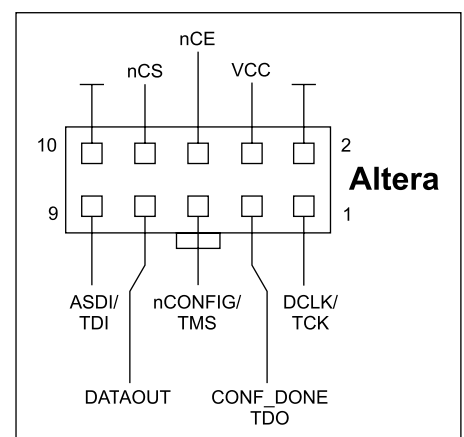


Рис. 1. Разъем IDC-10 загрузочного кабеля для конфигурации ПЛИС Altera (вид со стороны отверстий)

ствованы для сигналов режима Active Serial. Разводка технологического разъема для программирования ПЛИС Altera показана на рис. 1: здесь представлен вид со стороны отверстий соединителя IDC-10.

Со времен IBM PC персональные компьютеры, серверы и рабочие станции оборудовались периферийным интерфейсом параллельного порта — LPT. В настоящее время этот интерфейс вытеснила шина USB, но при необходимости он может быть добавлен в конфигурацию компьютера при помощи установки адаптеров расширения стандарта PCI или PCI Express. Краткое описание интерфейса LPT-порта приведено в [7].

Взаимодействие с программируемыми кристаллами по последовательному интерфейсу конфигурации FPGA или JTAG через порт LPT реализовано исключительно программным способом, наподобие работы с портами GPIO современных микроконтроллеров. Драйвер, входящий в состав САПР, путем обращения к регистрам адаптера LPT формирует на выводах порта последовательность логических сигналов, соот-

ветствующую протоколу обмена с конфигурационной цепочкой ПЛИС. Сигналы Active Serial и JTAG могут быть получены из сигнальных линий LPT-порта при помощи буферов-повторителей. Большинство схем сопряжения с интерфейсами внутрисхемного программирования через параллельный порт построены на микросхемах КМОП серий 74НС/74НСТ/74АНС/74АНСТ (а именно 74НС125, 74НСТ125, 74НС244, 74НСТ244) и им подобных.

Буферные микросхемы в составе загрузочного кабеля обеспечивают усиление принятых сигналов по току и уровню напряжения и реализуют дополнительную защиту ПЛИС в составе целевого устройства от протекания сквозных токов, вызванных перепадами потенциалов между корпусами устройств и различными наводками.

Соответствие сигналов JTAG и Active Serial сигнальным линиям и контактам разъема LPT-порта для загрузочных кабелей ByteBlaster и ByteBlaster II корпорации Altera приведено в таблице. Через дробь указаны сигналы двойного назначения: в числите-

ле — сигнал Active Serial, в знаменателе — сигнал JTAG.

Согласно таблице соответствия сигнальных линий LPT линиям JTAG и Active Serial (таблица) можно построить различные устройства сопряжения персонального компьютера или рабочей станции с конфигурируемыми ПЛИС. Большинство таких схем используют логические элементы BUFT типа \*125 (отечественные аналоги — ЛП8). На рис. 2 приведена принципиальная схема JTAG-кабеля, основанная на функциональной схеме фирменного загрузочного кабеля ByteBlaster II, рекомендованной корпорацией Altera в [6].

Предлагаемая схема построена на двух микросхемах 74НСТ125 (ближайший отечественный аналог — 1594 ЛП8), содержащих по четыре логических элемента с тремя состояниями выхода (BUFT) в общем корпусе. Собранный согласно этой схеме (рис. 2) загрузочный кабель успешно используется автором для программирования загрузочной памяти ПЛИС семейств Cyclone и Cyclone III, а также микросхем архитектуры CPLD производства Altera.

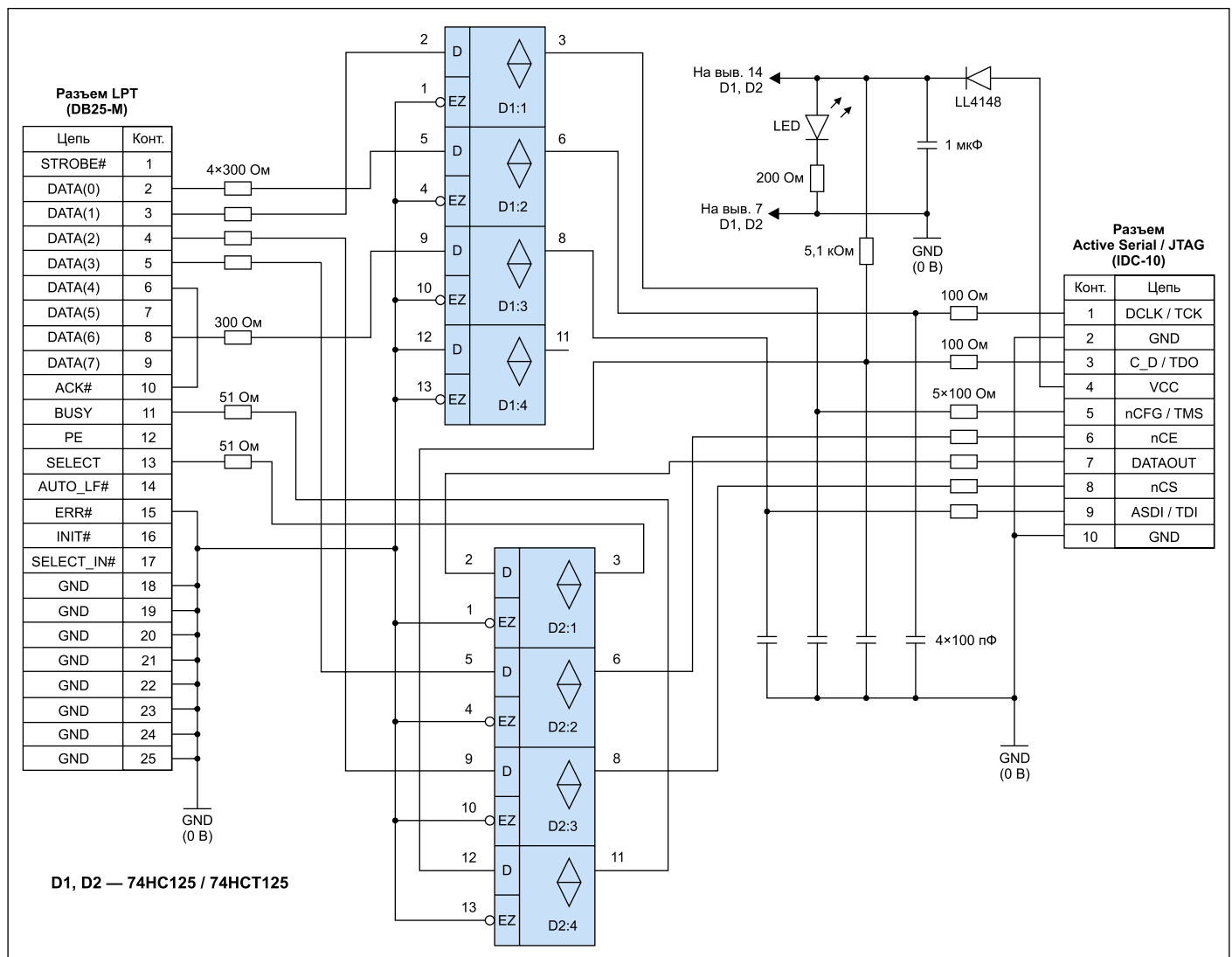


Рис. 2. Принципиальная схема загрузочного кабеля для ПЛИС корпорации Altera

**Таблица.** Соответствие сигналов JTAG и Active Serial сигнальным линиям и контактам разъема LPT-порта для загрузочных кабелей ByteBlaster и ByteBlaster II

Разъем DB-25M		Сигнал, формируемый или анализируемый САПП Altera Quartus II
Контакт	Цепь	
1	STROBE#	N.C.
2	DATA(0)	DCLK / TCK
3	DATA(1)	nCONFIG / TMS
4	DATA(2)	nCS
5	DATA(3)	nCE
6	DATA(4)	Соединен с 10
7	DATA(5)	N.C.
8	DATA(6)	ASDI / TDI
9	DATA(7)	N.C.
10	ACK#	Соединен с шестым контактом
11	BUSY	Вход CONF_DONE / TDO
12	PE	N.C.
13	SELECT	Вход DATAOUT
14	AUTO_LF#	N.C.
15	ERR#	GND
16	INIT#	N.C.
17	SELECT_IN#	N.C.
18	GND	GND
19	GND	GND
20	GND	GND
21	GND	GND
22	GND	GND
23	GND	GND
24	GND	GND
25	GND	GND



**Рис. 3.** Внешний вид загрузочного кабеля для ПЛИС корпорации Altera

Питание микросхем загрузочного кабеля осуществляется от устройства, содержащего конфигурируемые ПЛИС, через контакт 4 диагностического разъема. При использовании в интерфейсе ПЛИС логических сигналов с уровнем 5 В на этот контакт допустимо подать напряжение питания с номиналом 5 В. Однако для подключения к микросхемам, использующим сигналы с уровнями 3,3 и 2,5 В, на контакт 4 технологического разъема следует подать питание от источника с номиналом 5 В через кремниевый диод (например, 1N4001, 4148 или им подобные). В таком случае падение напряжения на двух последовательно включенных диодах составит 1,2–1,4 В, что обеспечит питание микросхем D1 и D2 загрузочного кабеля напряжением 3,6–3,8 В. Выходные логические уровни микросхем D1 и D2 при таком напряжении питания будут соответствовать уровням LVCMOS33 и не повредят входные каскады программируемых микросхем.

Дополнительная защита от перегрузки по току как со стороны конфигурируемой ПЛИС, так и со стороны LPT обеспечена последовательно включенными согласующими резисторами. Номиналы этих резисторов выбраны из расчета обеспечения надежной защиты при устойчивом согласовании логических сигналов. Согласование особенно актуально со стороны LPT в силу большой длины интерфейсного кабеля. Падение скорости распространения сигналов, вносимое последовательными резисторами, ничтожно по сравнению с низкой скоростью вывода данных в порт LPT, в силу чего им можно пренебречь.

При подключении загрузочного кабеля к порту LPT компьютера или рабочей стан-

ции, а также к целевому устройству, содержащему ПЛИС, следует обеспечить надежное соединение корпусов устройств и выполнять соединения при снятом напряжении питания. Эта рекомендация обусловлена отсутствием опережающего соединения цепей GND в разъемах IDC-10 и DB25. Внешний вид загрузочного кабеля — функционального аналога ByteBlaster II, созданного на основе аналогичного изделия фирмы SET, показан на рис. 3.

Нетрудно заметить сходство принципиальной электрической схемы, показанной на рис. 2, со схемой загрузочного кабеля для ПЛИС фирмы Xilinx, рассмотренной в [7]. Проанализировав различия этих принципиальных схем, можно сформулировать порядок переделки кабеля для ПЛИС Xilinx в загрузочный кабель для ПЛИС Altera.

Переделка заключается в следующих действиях:

1. Отсоединить сигналы на промежуточной печатной плате от контактов кабеля LPT: DB-25.2–DB25.15.
2. Сигнал разрешения выходов TCK, TDI, TMS подключить к DB-25.14 (можно к GND — для постоянной работы выходов).
3. Вывод выходного резистора буфера данных TDO подключить к DB-25.11.
4. Отсоединить буфер, управляющий сигналом TDO, от резистора сигнала TDO и подать VCC на резистор его управляющего входа.
5. Соединить входной резистор буфера, управляющего сигналом TCK, с контактом DB-25.2.
6. Соединить входной резистор буфера, управляющего сигналом TMS, с контактом DB-25.3.

7. Соединить входной резистор буфера, управляющего сигналом TDI, с контактом DB-25.8.
8. Вход неиспользованного разрешенного буфера соединить через ЧИП-резистор 100 Ом с сигналом nSTATUS, снимаемым с IDC-10.7.
9. Выход разрешенного буфера, принимающего сигнал nSTATUS, соединить через ЧИП-резистор 51 Ом с контактом DB-25.13.
10. Вход неиспользованного разрешенного буфера соединить с контактом DB-25.5 через последовательный резистор 300 Ом.
11. Выход разрешенного буфера, принимающего сигнал с контакта DB-25.5, соединить с контактом IDC-10.6 через последовательный резистор 100 Ом (выход nCE).
12. Вход неиспользованного разрешенного буфера соединить с контактом DB-25.4 через последовательный резистор 300 Ом.
13. Выход разрешенного буфера, принимающего сигнал с контакта DB-25.4, соединить с контактом IDC-10.8 через последовательный резистор 100 Ом (выход nCS).
14. Соединить с GND контакт DB-25.15 (схема кабеля работает как с подключением к GND, так и без этого соединения, но в фирменных схемах соединение указано).
15. Соединить контакты DB-25.6 и DB-25.10.
16. Последовательный резистор 51 Ом на выходе разрешенного буфера, принимающего сигнал CONF\_DONE/TDO, соединить с контактом DB-25.11.
17. Демонтировать диод и резистор цепи VCC\_SENSE со стороны разъема DB-25 (кабеля LPT).
18. Установить светодиод в цепи питания вместо балластного резистора ( $R_B = 1 \text{ кОм}$ ).

Для загрузки конфигурации FPGA в режиме Passive Serial в технологическом разъеме не нужен контакт 8. Контакт 6 может быть использован кабелем ByteBlasterMV для приема опорного напряжения VIO [5]. Контакт 7 в отличие от режима Active Serial задействован для контроля загрузки FPGA посредством мониторинга сигнала nSTATUS. Контакт 9, так же как и контакт 7, изменил свое назначение (относительно режима Active Serial): на нем формируется сигнал данных, загружаемых в ПЛИС FPGA, названный DATA0 (аналогично выводу DATA0 ПЛИС FPGA). Для загрузки ПЛИС FPGA в режиме Passive Serial подходят все кабели типа ByteBlaster.

После описания аппаратных средств сопряжения компьютера или рабочей станции с конфигурируемой ПЛИС рассмотрим пошаговую методику загрузки конфигурационной последовательности ПЛИС Altera из САПР Quartus II в устройстве, содержащее ПЛИС различных производителей. Предлагается рассмотреть JTAG-цепочку из четырех микросхем фирм Xilinx, Lattice-Semiconductor и Altera. Схема соединения разъема JTAG с четырьмя ПЛИС в объеме целевого устройства представлена на рис. 4.

В непосредственной близости к разъему JTAG установлены подтягивающие и токоограничительные резисторы. Подтягивающие резисторы имеют сопротивление 10 кОм и предназначены для поглощения наводок, вызванных электромагнитными помехами, а также для удержания устойчивых логических уровней на цепях JTAG при отсутствии кабеля, подключаемого к разъему. Последовательные резисторы обеспечивают согласование линий и защиту от перегрузок по току. Фильтрующая RC-цепь на линии TCK заимствована из схемы, рекомендованной в [2].

Для программирования ПЛИС фирмы Lattice-Semiconductor используется дополнительный сигнал, разрешающий функционирование JTAG-интерфейса, — EPEN.

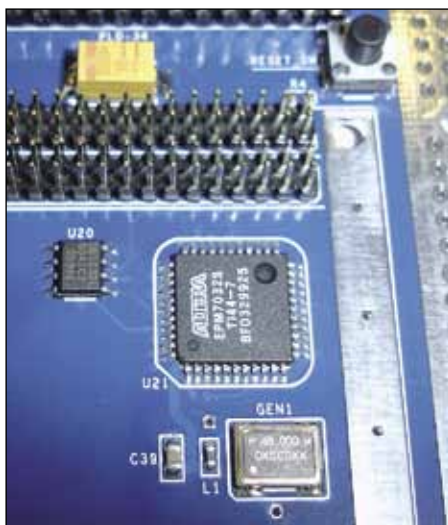


Рис. 5. Реализация арбитра асинхронной шины в составе ПЛИС EPM7032S

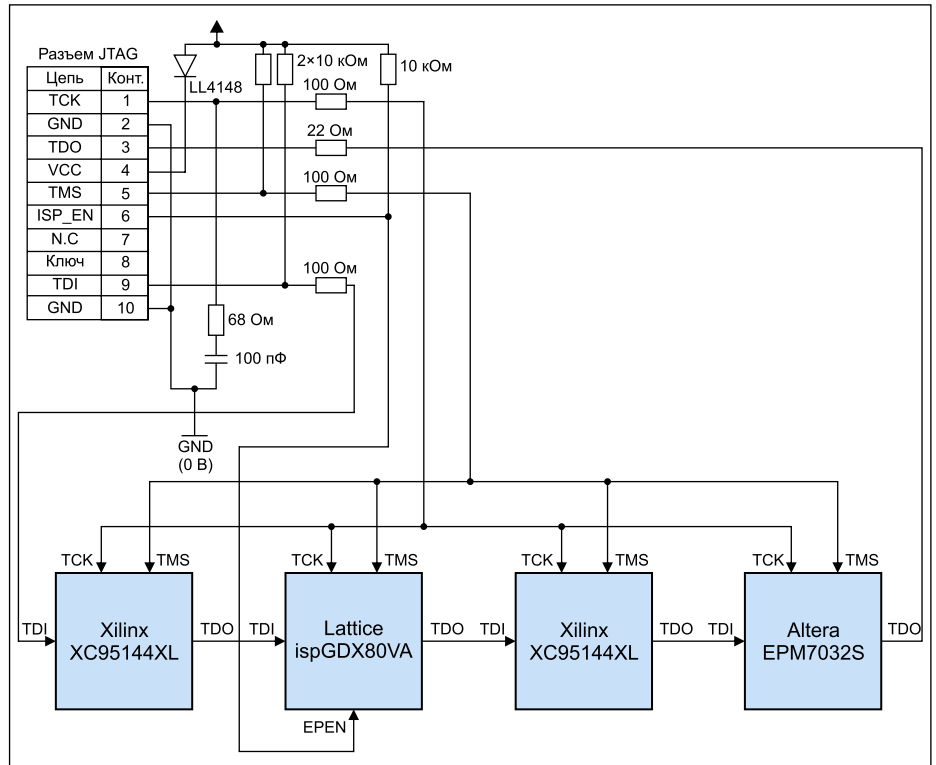


Рис. 4. Схема смешанной JTAG-цепочки из четырех ПЛИС различных производителей

Подтягивающий резистор на линии EPEN обеспечивает включение JTAG при использовании кабелей, не формирующих этот сигнал.

Нумерация кристаллов в составе JTAG-цепочки начинается с того кристалла, вход TDI

которого подключен к разъему JTAG. Рассмотрим пример загрузки конфигурации в четвертую микросхему цепочки — EPM7032S.

В САПР Altera Quartus II ранее был создан проект реализации в кристалле этой ПЛИС

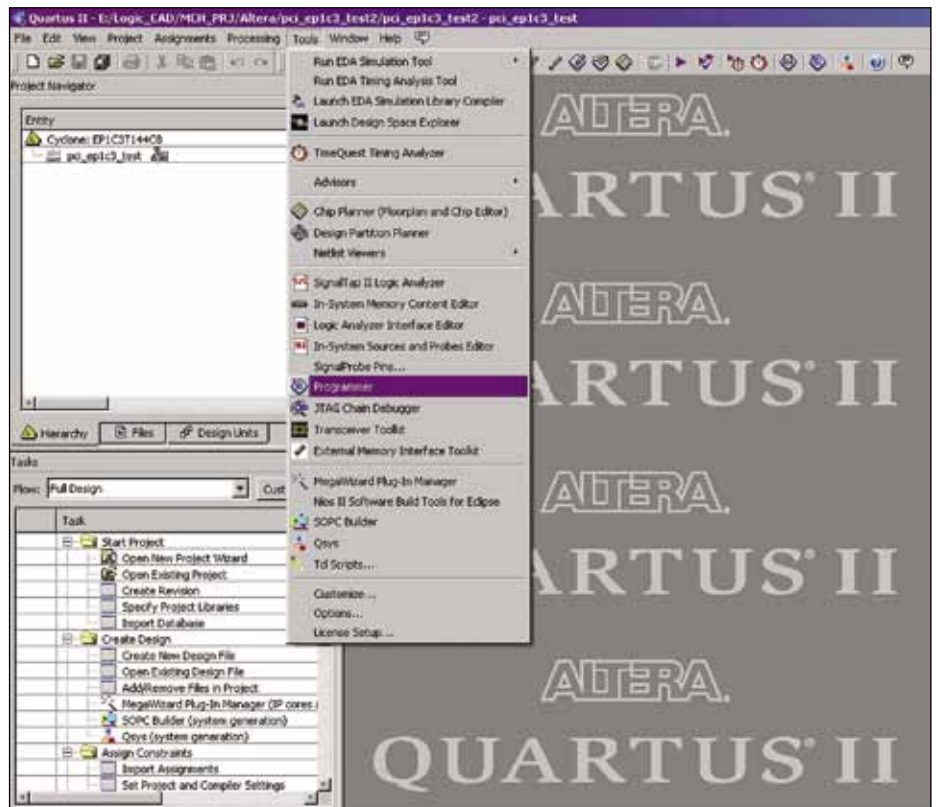


Рис. 6. Запуск Programmer из САПР Quartus II

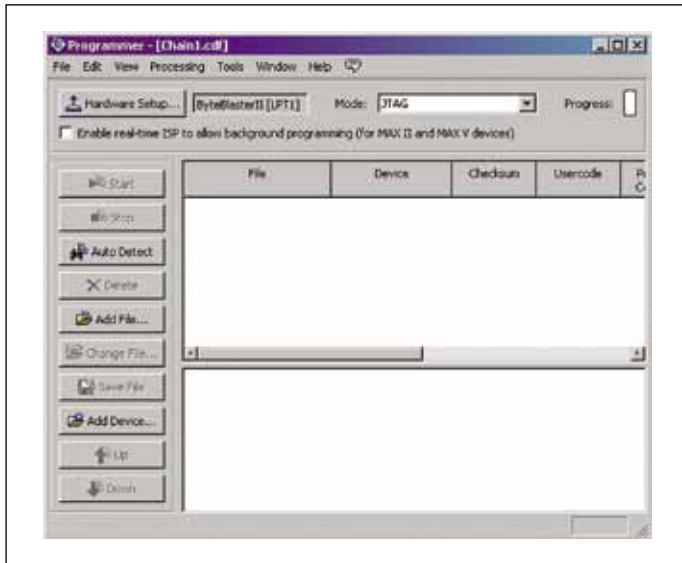


Рис. 7. Окно программного компонента Programmer

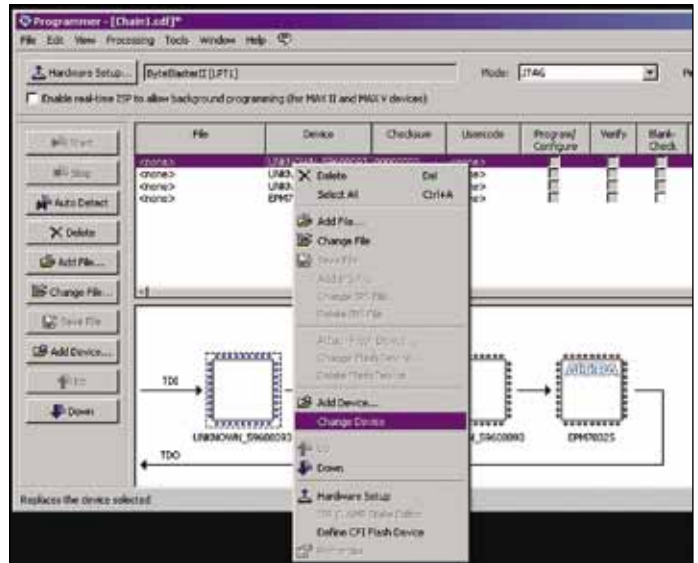


Рис. 9. Смена конфигурации первой микросхемы в цепочке

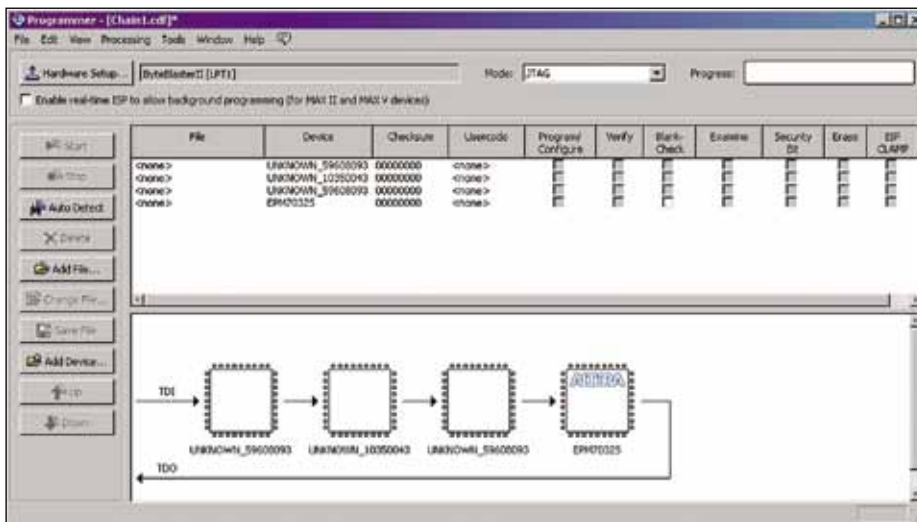


Рис. 8. Результат сканирования JTAG-цепочки в Quartus II Programmer

*pgmw.exe*, расположенный в папке, в которую установлено ПО Altera.

После запуска программного компонента **Programmer** откроется одноименное окно, содержащее пустую рабочую область (рис. 7). Необходимо убедиться в правильности настройки загрузочного кабеля: ByteBlasterII [LPT1], Mode: JTAG. Настройка кабеля запускается кнопкой **Hardware Setup...**

Для сканирования JTAG-цепочки нужно подключить загрузочный кабель к диагностическому разъему целевого устройства, приняв необходимые меры безопасности для компенсации возможных наводок между корпусами, подать питание на ПЛИС и нажать кнопку **Auto Detect** в окне **Programmer**. После этого в рабочей области появится условное изображение JTAG-цепочки, часть микросхем которой не идентифицирована в силу принадлежности к продукции конкурентов. Обозначение неопознанных кристаллов начинается с префикса **UNKNOWN\_** (рис. 8).

Для корректной работы с JTAG-цепочкой следует загрузить в программу Quartus II Programmer BSDL-описания неопознанных кристаллов (файлы описания периферийного сканирования — *\*.bsd / \*.bsm*) и конфигурационный файл для программируемой микросхемы. Три неизвестных кристалла представлены ПЛИС XC95144XL фирмы Xilinx и коммутируемой матрицей ispGDx80VA фирмы Lattice Semiconductor. Файлы BSDL предоставляются производителями этих микросхем и доступны для загрузки с официальных сайтов.

Файлы BSDL для кристаллов фирмы Xilinx могут быть заимствованы из САПР Xilinx ISE Design Suite либо загружены с сайта компании в разделе **Support** → **Download** → **Device models** [9]. BSDL-файл для первой и третьей микросхем рассмотренной JTAG-цепочки (кристалл XC95144XL в корпусе TQFP-100) можно скопировать из папки с установленным пакетом Xilinx ISE Design Suite 14.4

модели арбитра асинхронной системной шины [11], в результате чего был получен конфигурационный файл *umsi\_p\_u21.pof*. Помимо арбитра, в этой ПЛИС CPLD присутствует Т-триггер, сбрасывающий сторожевой таймер микросхемы супервизора питания DS1232L, генерирующей аппаратный сброс RST. Синхронизация ПЛИС осуществляется от стандартного кварцевого генератора габарита 0705, формирующего синхросигнал с частотой 48 МГц. Эта частота использована для тактирования арбитра и Т-триггера. Таким образом на выходе этого триггера формируется сигнал NST с частотой 24 МГц с длительностью высокого и низкого уровней 20,83 нс. Сигнал NST поступает на вывод 7 микросхемы DS1232L, обеспечивая требования по минимальной длительности импульса NST (20 нс) для сброса сторожевого таймера. Подробное описание супервизора питания со сторожевым таймером DS1232L содержится в [10].

Реализация описанной схемы на печатной плате показана на рис. 5.

Работа с интерфейсом JTAG в САПР Altera Quartus II возложена на программный компонент Quartus Programmer. Чтобы запустить Programmer в главном меню САПР Quartus II, следует открыть раздел **Tools** (рис. 6).

Корпорация Altera предоставила для загрузки с сайта программный пакет Quartus II Programmer, включающий приложения для программирования и верификации контента микросхем ПЛИС, а также драйверы загрузочных кабелей и системное ПО поддержки конфигурационных интерфейсов. Quartus II Programmer позволяет работать с микросхемами производства Altera без установки полной версии САПР Quartus II. После установки на компьютер или рабочую станцию пакета Quartus II Programmer запуск программного компонента **Programmer** осуществляется через файл *... \12.0sp2\programmer\bin\quartus\_*

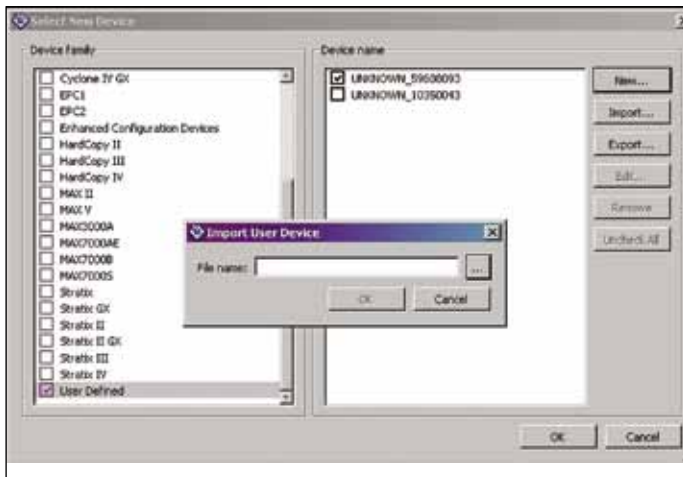


Рис. 10. Импорт файла описания микросхемы

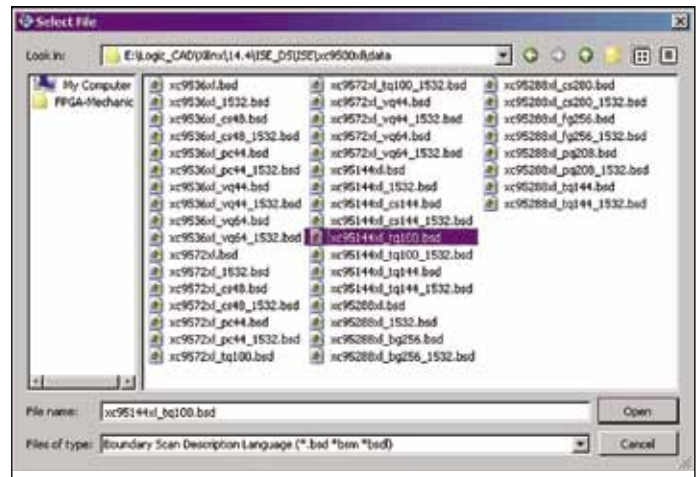


Рис. 11. Диалог загрузки BSDL-файла



Рис. 12. Путь к открываемому BSDL-файлу в окне Import User Device

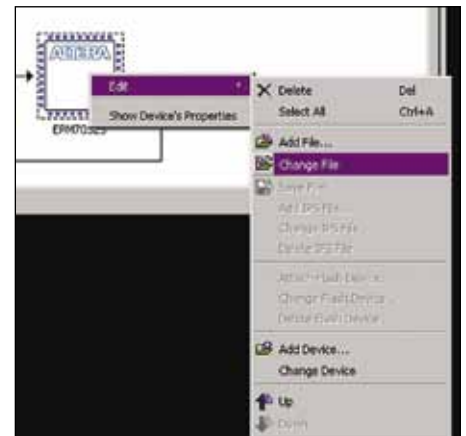


Рис. 14. Открытие диалога загрузки конфигурационного файла

по адресу <..\ISE\_DS\ISE\xc9500\data >. Он имеет обозначение *xc95144xl\_tq100.bsd*.

Для того чтобы загрузить BSDL-файл для первой микросхемы, следует выбрать верхнюю строку таблицы и щелкнуть на ней правой кнопкой мыши, после чего выбрать из списка пункт **Change Device** (рис. 9).

В открывшемся окне **Select New Device** следует нажать кнопку **Import...**, вызывающую диалог загрузки файла — описания микросхемы (рис. 10). В окне **Import User Device** нажмем на кнопку «...» запускается стандартный диалог открытия файла, в котором следует выбрать тип файлов Boundary Scan Description Language и задать BSDL-файл первой микросхемы *xc95144xl\_tq100.bsd* (рис. 11).

После нажатия кнопки **Open** в окне **Import User Device** появится путь к открываемому BSDL-файлу (рис. 12). Убедившись в верности выбранного файла, нажимаем **OK**.

Далее в правой панели окна **Select New Device** появится строка XC95144XL\_TQ100, которую следует выбрать, а затем нажать **OK** (рис. 13).

Для третьей микросхемы в окне **Select New Device** выбираем строку XC95144XL\_TQ100 без импорта BSDL-файла, ибо первая и третья микросхемы построены на идентичных кристаллах, упакованных в одинаковые корпуса.

Для второй микросхемы необходимо выполнить импорт второго BSDL-файла. Файл *ispGDX80VA\_T100.bsd* описания периферийного сканирования микросхемы *ispGDX80VA* доступен для скачивания на сайте фирмы Lattice-Semiconductor в разделе BSDL Models by Product [8].

Для четвертой микросхемы нужно задать конфигурационный файл. Для этого следует выбрать ее условное обозначение, щелкнуть на нем правой кнопкой мыши и в меню **Edit** открыть диалог **Change File** (рис. 14). В появившемся стандартном окне выбора файла задаем ранее созданный в САПР Quartus II

конфигурационный файл *umsi\_p\_u21.pof* (рис. 15). В результате получена рабочая конфигурация JTAG-цепочки (рис. 16).

Для четвертой микросхемы доступны операции записи, верификации, проверки на чистоту и установки защиты: для этого в соответствующих строках таблицы нужно поставить галочки. Для программиро-

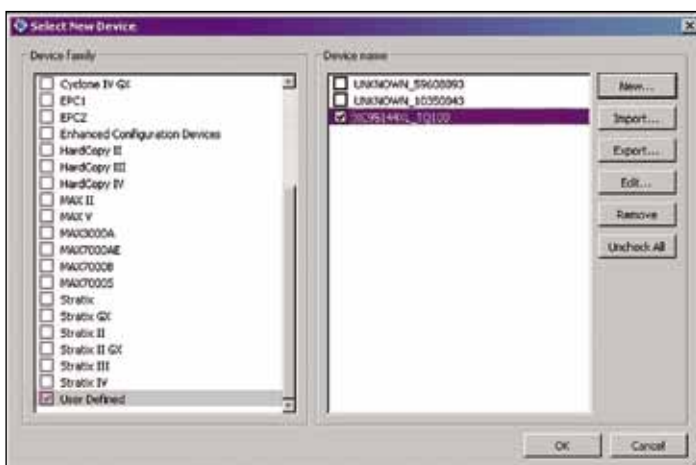


Рис. 13. Готовая конфигурация первой микросхемы

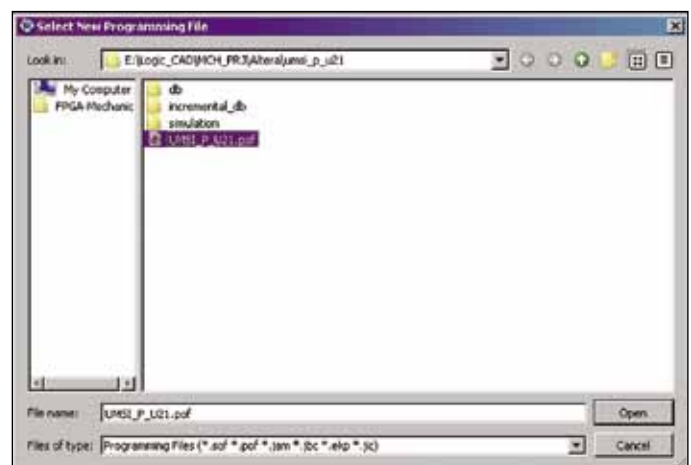


Рис. 15. Диалог загрузки конфигурационного файла

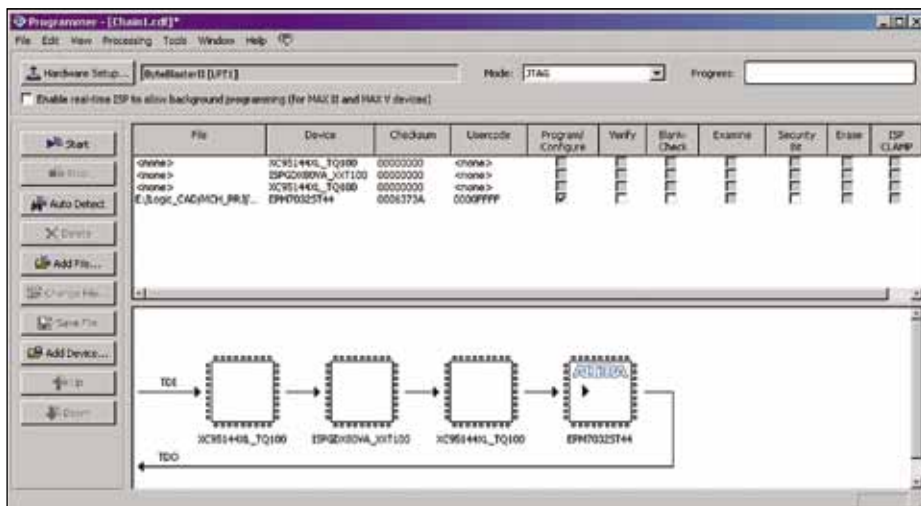


Рис. 16. Рабочая конфигурация JTAG-цепочки

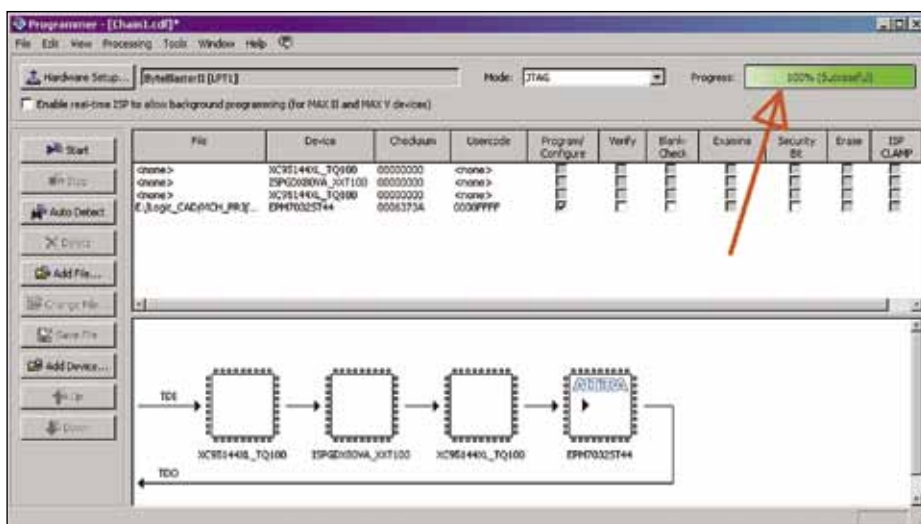


Рис. 17. Результат программирования ПЛИС

вания ПЛИС следует выбрать операцию **Program/Configure** и нажать кнопку **Start**. После этого запустится процесс загрузки данных в кристалл, ход которого отражает индикатор **Progress**: в правом верхнем углу окна **Programmer**. После удачного программирования микросхемы этот индикатор ото-

бразит сообщение "100% (Successful)", свидетельствующее об успехе (рис. 17).

Перед выходом из приложения **Programmer** для сохранения всех выполненных настроек и параметров микросхем в цепочке JTAG рекомендуется сохранить конфигурационный проект. Это можно сделать через меню **File** → **Save As**, создающее файл \*.cdf (Chain Description File). Рассмотренный пример был сохранен в файле *Chain\_Kit.cdf* (рис. 18).

Сохранив конфигурационный проект, его можно использовать для быстрого перепрограммирования ПЛИС в дальнейшем, а также при необходимости массового программирования множества однотипных изделий с одной конфигурацией.

Установив связь рабочего проекта САПР Quartus II с конфигурационным проектом *Chain\_Kit.cdf*, разработчик получает возможность быстрого запуска приложения Programmer без длительной конфигурации JTAG-цепочки. Это удобно при отладке устройства и многократном программировании ПЛИС.

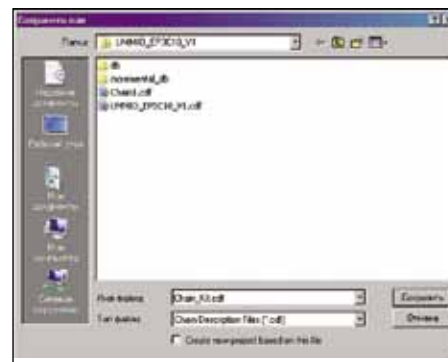


Рис. 18. Диалог сохранения конфигурационного проекта

## Выводы

Среда проектирования Quartus II корпорации Altera предоставляет возможность программирования и верификации ПЛИС в составе смешанной JTAG-цепочки из кристаллов различных производителей.

Сопряжение компьютера или рабочей станции с интерфейсом JTAG для программирования ПЛИС при помощи САПР Quartus II реализуется различными загрузочными кабелями. Самым простым решением является кабель ByteBlaster II для порта LPT, построенный на двух логических микросхемах и пассивных компонентах.

Для удобства программирования ПЛИС производства Altera целесообразно создавать конфигурационный проект, содержащий полное описание и настройку JTAG-цепочки, включая конфигурационные файлы и BSDL-файлы.

## Литература

- 1149.1-2013. IEEE Standard for Test Access Port and Boundary-Scan Architecture.
- Руководство по разработке устройств, пригодных для тестирования и внутрисистемного программирования. JTAG Technologies. June 2008.
- Altera Configuration Handbook (Complete Two-Volume Set). Altera Corporation. Dec. 2009.
- Altera ByteBlaster Parallel Port Download Cable Data Sheet. Ver.2.01. Altera Corporation. Feb. 1998.
- Altera ByteBlasterMV Download Cable User Guide. Ver.1.0. Altera Corporation. July 2004.
- Altera ByteBlaster II Download Cable User Guide. Ver.1.4. Altera Corporation. July 2008.
- Борисенко Н. В. Программирование ПЛИС фирмы Xilinx в составе смешанной JTAG-цепочки средствами САПР Xilinx ISE Design Suite 14.4 при помощи кабеля Parallel Download Cable III // Компоненты и технологии. 2013. № 7.
- Раздел BSDL Models by Product в меню Downloads — [www.latticesemi.com](http://www.latticesemi.com)
- Раздел Device models в меню Download — [www.xilinx.com](http://www.xilinx.com)
- DS1232LP/LPS Low Power MicroMonitor Chip. Dallas Semiconductor.
- Борисенко Н. В. Синтезируемая модель арбитра доступа к среде передачи данных // Компоненты и технологии. 2011. № 8.