

Характеристики ПЛИС 5510ХС3АТ

Илья ТАРАСОВ, д.т.н.,
ilya_e_tarasov@mail.ru

В статье приводится обзор программируемой логической интегральной схемы (ПЛИС) 5510ХС3, разработанной в России АО «НИИ молекулярной электроники» (НИИМЭ). В ходе ознакомления с предоставленным образцом отладочной платы на базе микросхемы 5510ХС3А, изготовленной по технологическому процессу с нормами 90 нм «кремний-на-изоляторе», был выполнен сравнительный анализ архитектуры и маршрута проектирования с ПЛИС других производителей. Тестовые проекты и загрузка конфигурации продемонстрировали соответствие маршрута проектирования в САПР ХСАД общим свойствам, характерным для систем разработки подобного класса.

Введение

ПЛИС как подкласс микросхем достаточно прочно заняли нишу в сфере цифровой электроники. Они используются не только как средства макетирования электронных устройств, но и для выпуска небольших партий изделий с оригинальной архитектурой цифровых компонентов, не имеющих прямых решений среди серийно выпускаемых микросхем. Другим важным привлекательным фактором является возможность размещения на одном кристалле параллельно работающих блоков, что делает ПЛИС эффективной аппаратной платформой для цифровой обработки сигналов, проводных и беспроводных систем связи, промышленной автоматики и ряда других областей применения.

Термин «программируемые логические интегральные схемы» объединяет несколько архитектур микросхем, среди которых наиболее показательной является FPGA (Field-Programmable Gate Array), что в технически точном переводе можно представить как «программируемая пользователем матрица вентиляей». При этом существуют как более простые варианты архитектур (например, SPLD и CPLD), так и дальнейшее развитие FPGA – APSOC и АСАР, которые, тем не менее, включают в себя вентиляющую матрицу как составную часть.

Микросхема FPGA представляет собой матрицу логических ячеек, окруженную блоками ввода-вывода. Отдельные элементы соединяются программируемыми трассировочными линиями, что и обеспечивает возможность создания цифровых схем в широком диапазоне имеющихся вариантов. При этом на кристалле современных FPGA присутствуют и другие компоненты, расширя-

ющие возможности создания эффективных схем. К числу таких компонентов относятся:

- блоки статической памяти;
- аппаратные умножители независимых операндов;
- схемы генерации, преобразования и распространения тактового сигнала;
- высокоскоростные последовательные приемопередатчики (MGT);
- аппаратно реализованные процессорные ядра.

Таким образом, можно наблюдать рост удельного веса аппаратных компонентов в составе ПЛИС современных семейств, что, однако, обусловлено требованиями конкретных областей их применения. При этом каждый из таких компонентов увеличивает риски получения неработоспособного изделия при проектировании, а в случае таких сложных аналого-цифровых блоков, как MGT, еще и снижается коэффициент выхода годных кристаллов при серийном производстве.

Аппаратные компоненты обычно распределены по кристаллу ПЛИС, образуя кластеры, взаимодействующие с матрицей логических ячеек. Гранулярность таких кластеров обычно достаточно небольшая, за исключением аппаратных процессорных ядер, которые образуют автономную или полуавтономную подсистему на кристалле. В то же время, такие часто используемые цифровые узлы, как статическая память или аппаратные блоки умножения, распределены более или менее равномерно, что позволяет размещать вокруг них сопрягаемые цифровые узлы на базе конфигурируемых логических ячеек. На рис. 1 сравниваются микросхемы ПЛИС с архитектурой FPGA с основными и дополнительными аппаратными ресурсами.

Семейство ПЛИС 5510, разработанное АО «НИИ молекулярной электроники», в настоящее время включает в себя несколько микросхем. В настоящее время микросхемы типа 5510 ТС находятся на этапе ОКР, а более

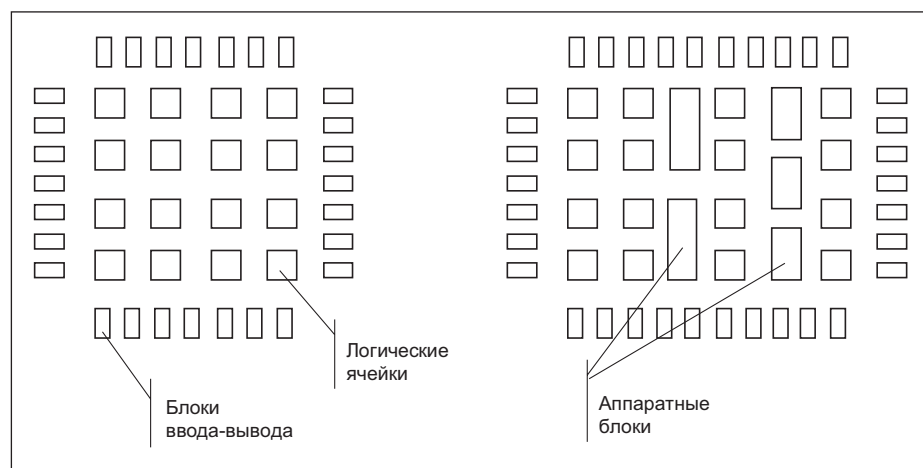


Рис. 1. Сравнение микросхем ПЛИС с архитектурой FPGA с основными и дополнительными аппаратными ресурсами

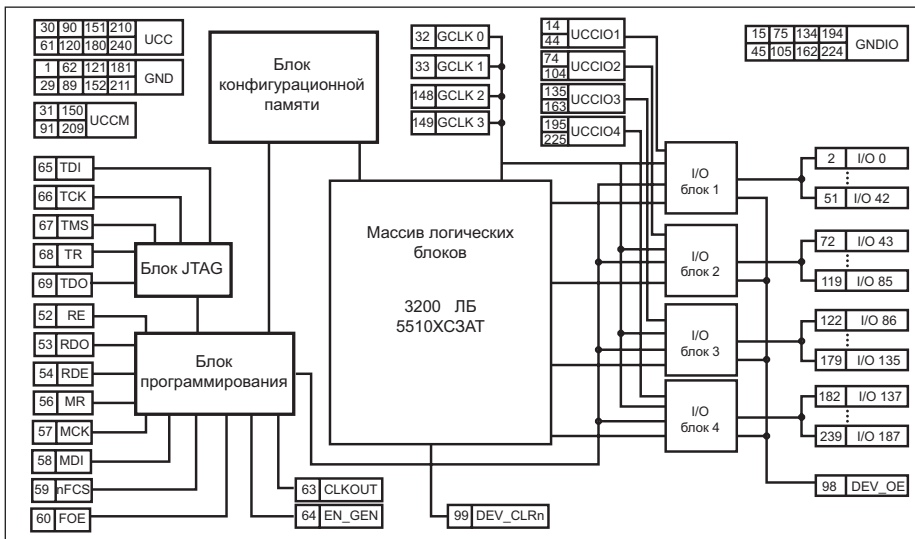


Рис. 2. Структурная схема ПЛИС 5510XC3AT

простая 5510XC3 AT с логической емкостью 3200 ячеек, не содержащая дополнительных аппаратных компонентов, доступна для заказа. Можно еще раз отметить, что в этой микросхеме не реализованы блоки памяти, умножители и даже формирователи тактового сигнала. Несмотря на то, что в настоящее время в проектах на базе ПЛИС настоятельно рекомендуется использовать PLL (ФАПЧ) или MMCM, реализующих подстройку фазы тактового сигнала, для относительно небольшой FPGA негативные эффекты от рассинхронизации оказываются несущественными. При этом не следует исключать риски, связанные с отсутствием на кристалле PLL, но в любом

случае практическому использованию ПЛИС новой серии должно предшествовать ее освоение и тестирование в пользовательских проектах.

Архитектура логических ресурсов ПЛИС 5510XC3 AT

Структурная схема ПЛИС 5510XC3 AT показана на рис. 2.

Микросхема построена вокруг матрицы логических ячеек, окруженных блоками ввода-вывода. Из рисунка видно, что отсутствуют дополнительные компоненты, конфигурируемые в процессе разработки.

Поддерживается загрузка конфигурации по интерфейсу JTAG и с помощью внешней флэш-памяти.

ПЛИС 5510XC3 AT имеют архитектуру логической ячейки, не являющуюся точной копией массово выпускаемых ПЛИС зарубежных производителей. Конфигурируемая ячейка ПЛИС 5510XC3 AT показана на рис. 3.

Представленная схема ячейки в целом соответствует типичным решениям, характерным для технологического поколения 90 нм. Это комбинация 4-входового логического генератора (Look-Up-Table, LUT) и одного триггера (Flip-Flop, FF). Подобное сочетание является основным для FPGA и широко применялось в ПЛИС, производившихся по нормам 90 нм компаниями Xilinx и Altera. Понятие «эквивалентная логическая ячейка», до сих пор применяющееся для оценки логической емкости микросхем, подразумевает именно это сочетание – LUT4+FF.

При этом ПЛИС разных производителей различаются наличием дополнительных возможностей логической ячейки, которые заключаются в добавлении цепи ускоренного переноса для эффективной реализации сумматоров и набора мультиплексоров, призванных сократить количество логических ячеек для реализации часто используемых цифровых узлов. Можно видеть, что логическая ячейка ПЛИС 5510XC содержит обе эти составляющие. Сигналы на входы 1 и 3 логического генератора подаются через дополнительные вентили, что также представляет собой характерный прием повышения эффективности ячейки ПЛИС при реализации операций определенного типа. Поскольку

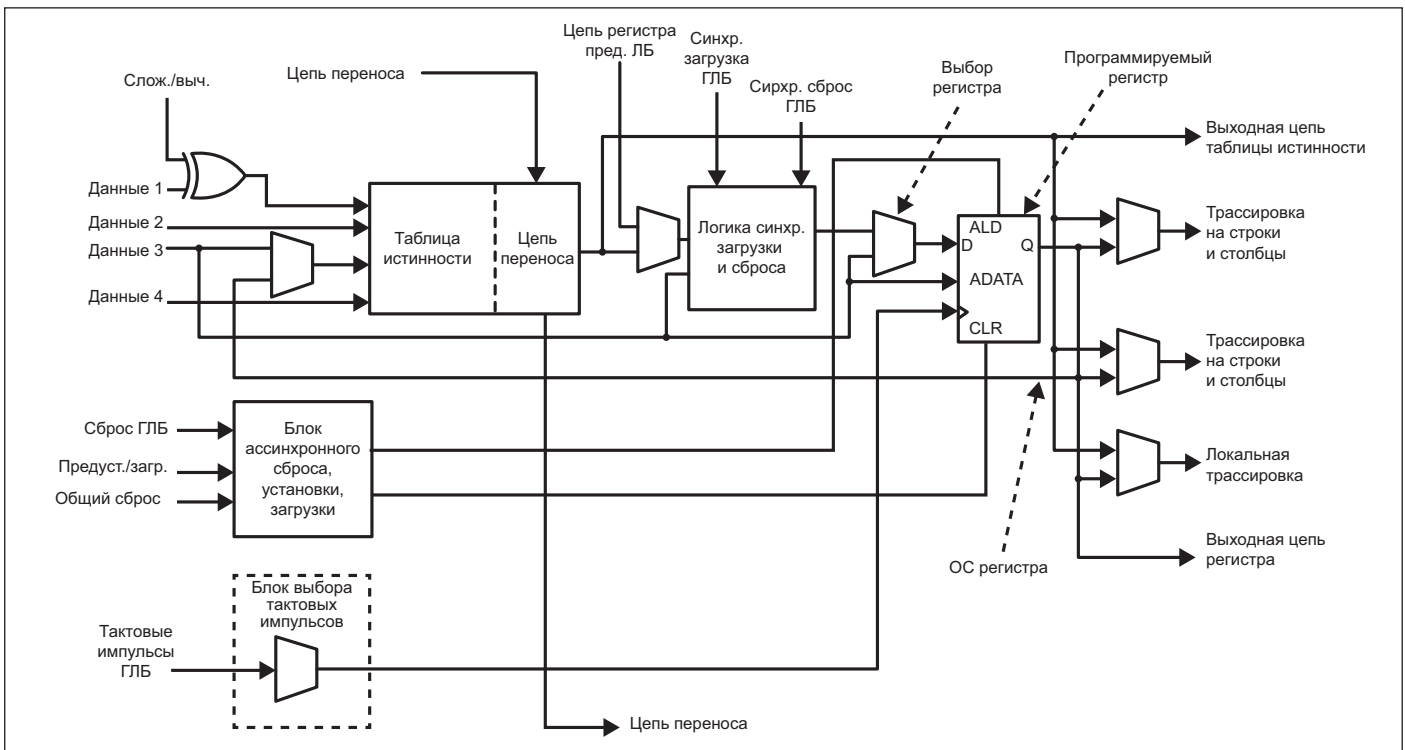


Рис. 3. Конфигурируемая логическая ячейка ПЛИС 5510XC3AT

конкретно такое решение не является общепринятым или широко распространенным, можно констатировать, что у серии 5510XC наблюдается оригинальная архитектура логической ячейки, которая в целом отражает тенденции микроэлектронной отрасли и при этом содержит специфический набор дополнительных компонентов, определяемых возможностями САПР.

Партия микросхем 5510XC3 AT была выпущена и реализована в составе отладочных плат, показанных на рис. 4. На плате установлена ПЛИС в металлокерамическом корпусе, микросхема флэш-памяти 1664 PP65, модуль программатора, подсистема питания и набор простых компонентов (индикаторы, кнопки и разъемы). В целом, плата не предназначена для реализации сложных устройств и представляет основной интерес в качестве демонстратора технологии.

Важно обратить внимание на подключение установленного на плате тактового генератора, которое настраивается переключками. Одна из них вблизи компонента генератора, обозначенная как EN, подключает его выход к печатному проводнику на плате. Вторая, в левом верхнем углу платы, позволяет соединить этот проводник с входом ПЛИС IO110 или IO111. Частота генератора составляет 40 МГц.

Загрузка конфигурации производится встроенным модулем программатора, выполненного на базе микроконтроллера с поддержкой интерфейса USB. Это также стандартное в современных условиях решение, которое позволяет ограничиться единственным портом USB и не использовать дополнительное оборудование для работы с ПЛИС.

Маршрут проектирования в САПР XCAD

Протестированный образец ПЛИС 5510XC3 AT в составе отладочной платы поддерживается в САПР XCAD, интерфейс которой показан на рис. 5. Функциональные возможности САПР в целом повторяют распространенные в отрасли маршруты проектирования, хотя требуется ряд доработок интерфейса, обеспечивающих автоматическое применение выбранных настроек.

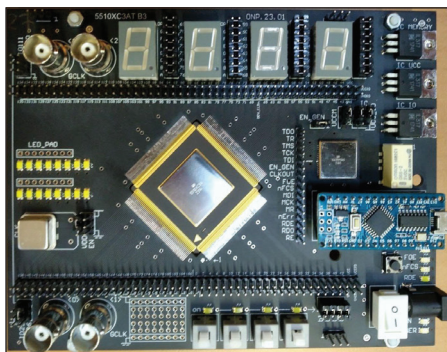


Рис. 4. Отладочная плата на базе ПЛИС 5510XC3AT (НИИМЭ)

Маршрут проектирования предполагает набор шагов, аналогичный существующим в мировой отрасли для ПЛИС. Отличием с точки зрения интерфейса является ориентация на отдельные группы описаний и отчетов, а не более привычные разработчикам «Управление проектом – синтез – реализация – программирование». В процессе тестовой эксплуатации не были выявлены принципиальные неудобства от такой организации проектных файлов.

САПР совместима со следующим программным обеспечением:

- Cadence Encounter RTL Compiler, Cadence Genus Synthesis Solution, Cadence Spectre Simulation Platform;
- Synopsys Design Compiler, Synopsys HSPICE;
- Yosys Open Synthesis Suite;
- Icarus Verilog;
- OSS CVC Simulator.

В качестве основного языка описания аппаратуры поддерживается Verilog 2005 (стандарт IEEE 1364–2005). Поддержка VHDL в текущей версии реализована частично.

Синтез производится сторонними средствами. Например, в составе САПР предлагается синтезатор Yosys, который распространяется свободно и имеет открытый исходный

код. Статический временной анализ выполняется с учетом характеристик элементов ПЛИС и соответствует форматам, используемым в современных САПР. Пример отчета статического временного анализа приведен на листинге.

Для просмотра топологического представления проекта предназначена утилита X-Place. Этот инструмент аналогичен ранее использовавшейся в САПР ISE утилите FPGA Editor или встроенному инструменту просмотра кристалла (Device View) в САПР Vivado. С ее помощью можно оценить размещение типовых проектов с помощью алгоритмов XCAD. В качестве такого примера был реализован приемник UART, представляющий собой конечный автомат.

Синтез этого несложного конечного автомата показал, что ПЛИС способна обеспечить тактовые частоты порядка 100–150 МГц для несложных цифровых узлов, что можно определить по величине задержек в критических цепях. Заметим, что это значение не является «системной тактовой частотой», которая обычно приводится как характеристика производительности ПЛИС. Поскольку это значение характеризует проект, основанный на схеме с минимальными по сложности связями (одна логическая ячейка в критической

```
Startpoint: clk (input port)
Endpoint: clk_out (output port)
Path Group: path delay
Path Type: max
```

Cap	Slew	Delay	Time	Description
	0.000000	0.000000		v input external delay
2.430260	0.200000	0.000000	0.000000	v clk (in)
0.351345	0.117977	0.516047	0.516047	v XC_BUF_clk/x (ibuf)
0.012709	0.138379	0.396286	0.912333	v XC_BUF_clk_IN_CONTROL/outp (ibuf_control)
0.500233	0.155958	0.377254	1.289587	v IO29.I28.I1.I1.I7/Z (t_buf_1x16_seth)
0.022037	0.079326	0.103592	1.393178	^ LAB180.I0.I38.I3.I189/Z (t_IVHSVTX2)
1.004877	0.302303	0.343204	1.736382	v LAB180.I0.I38.I3.I3/Z (t_inv_16)
0.026982	0.124253	0.159145	1.895527	^ LAB172.I0.I38.I3.I191/Z (t_IVHSVTX2)
0.277949	0.095091	0.246454	2.141981	v LAB172.I0.I38.I3.I4/Z (t_inv_16)
0.019817	0.061496	0.075507	2.217488	^ LAB170.I0.I38.I5.I193/Z (t_IVHSVTX2)
0.873132	0.264476	0.310135	2.527623	v LAB170.I0.I38.I5.I4/Z (t_inv_16)
0.180070	0.084494	0.207294	2.734917	v LAB30.I0.I47.I909/Z (t_buf_3x4)
0.028729	0.073469	0.202468	2.937385	v XC_I_clk_BUFFER_0/y (LE_buf)
0.021281	0.072860	0.184455	3.121840	v LAB30.I0.I27.I6/x (t_mux2t_1x2)
0.401193	0.169040	0.216195	3.338035	v LAB30.I0.I27.I3/Z (t_buf_2x6_seth)
0.023470	0.084867	0.110452	3.448487	^ LAB30.I0.I38.I7.I187/Z (t_IVHSVTX2)
0.977383	0.294388	0.341927	3.790414	v LAB30.I0.I38.I7.I11/Z (t_inv_16)
0.030264	0.128051	0.163344	3.953758	^ LAB38.I0.I38.I7.I185/Z (t_IVHSVTX2)
0.384462	0.124770	0.267550	4.221308	v LAB38.I0.I38.I7.I11/Z (t_inv_16)
0.068837	0.094320	0.108585	4.329894	^ IO35.I0.I1006/Z (t_IVHSVTX4)
0.059965	0.276248	0.225713	4.555606	v IO35.I0.I148/Z (t_IVHSVTX1)
0.159985	0.197087	0.700552	5.256158	v XC_BUF_clk_out_OUT_CONTROL/outp (obuf_control)
2.430120	0.152846	1.388499	6.644658	v XC_BUF_clk_out/x (obuf)
	0.152846	0.000000	6.644658	v clk_out (out)
		6.644658		data arrival time
	25.000000	25.000000		max_delay
	0.000000	25.000000		output external delay
		25.000000		data required time
	25.000000			data required time
		-6.644658		data arrival time
			18.355341	slack (MET)

Листинг. Пример статического временного анализа для критического пути проекта

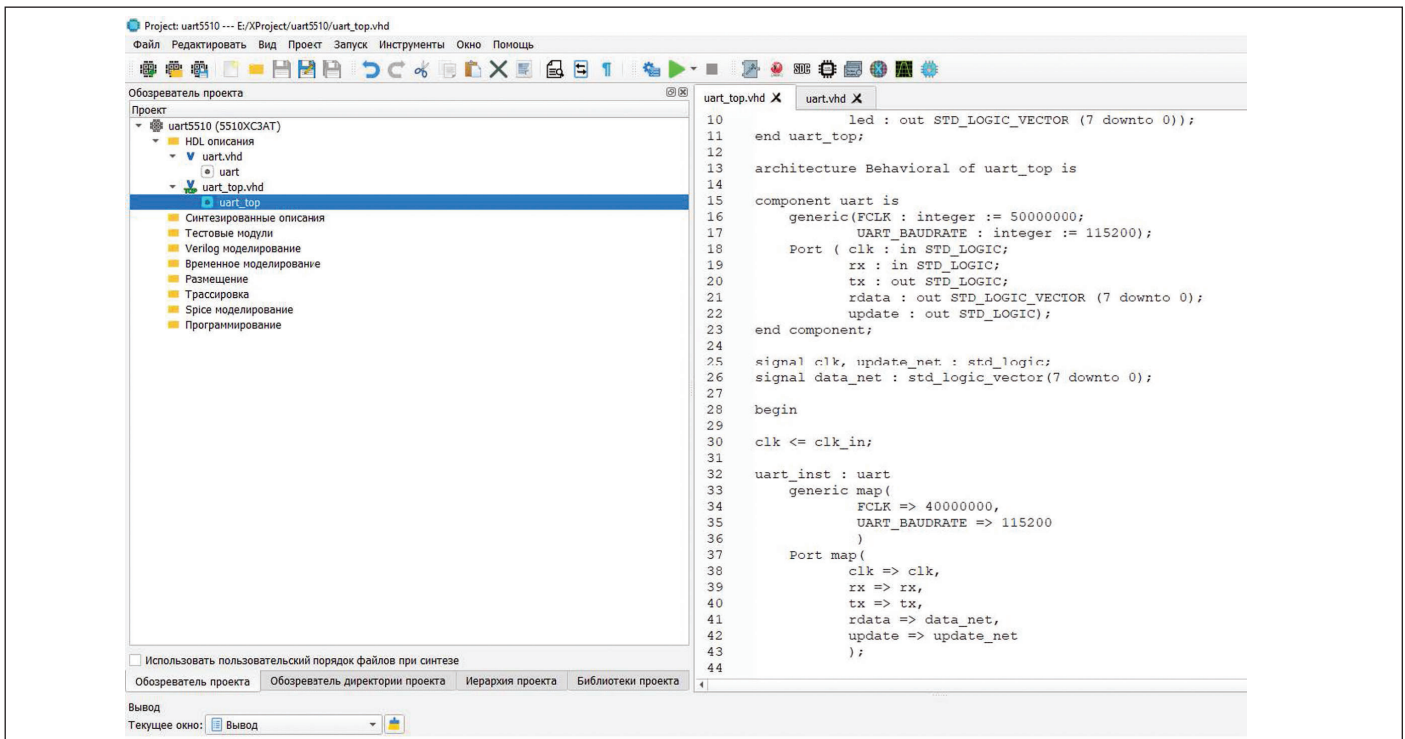


Рис. 5. Интерфейс САПР XCAD для ПЛИС серии 5510

цепи, ограничена длина цепей переноса), оно является достаточно далеким от параметров практических схем. При этом конечные автоматы являются показательными примерами практического узла, использующего основные ресурсы логических ячеек.

На рис. 6 показано достаточно компактное расположение элементов автомата, реализующего приемник UART. Поскольку текущие функциональные возможности утилиты X-Place не позволяют показать детализованный вид логической ячейки или трассировочных ресурсов, проанализировать можно только взаимное расположение компонентов.

В силу того, что качество размещения сложно оценить при анализе единственного

модуля, к проекту был добавлен более сложный конечный автомат, использующий более 200 состояний. При этом из рис. 7 видно, что компоненты остаются размещенными компактно.

В целом, можно заметить, что объем в 3200 логических ячеек еще не ставит перед САПР сложных задач по оптимизации размещения, поэтому существенного ухудшения характеристик проекта из-за неудачной трассировки и не ожидалось.

В целом можно констатировать, что текущая версия САПР обеспечивает выполнение основных шагов, требующихся для полного цикла разработки цифровых устройств на базе ПЛИС.

Выводы

Серия ПЛИС 5510 демонстрирует разработку серии цифровых микросхем с оригинальной архитектурой, которая, несмотря на сравнительную простоту, потребовала решения комплекса сложных технических задач. Важно, что для САПР были разработаны алгоритмы размещения и трассировки, учитывающие характеристики трассировочных ресурсов разработанной микросхемы. Планы выпуска последующих микросхем серии 5510 включают в себя устройства с характерными для FPGA компонентами – блоками памяти, умножителями, PLL и блоками сериализаторов–десериализаторов.

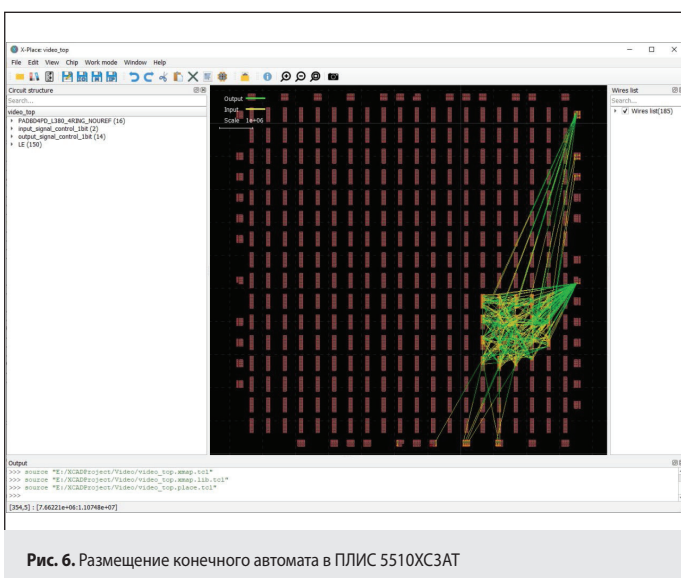


Рис. 6. Размещение конечного автомата в ПЛИС 5510XC3AT

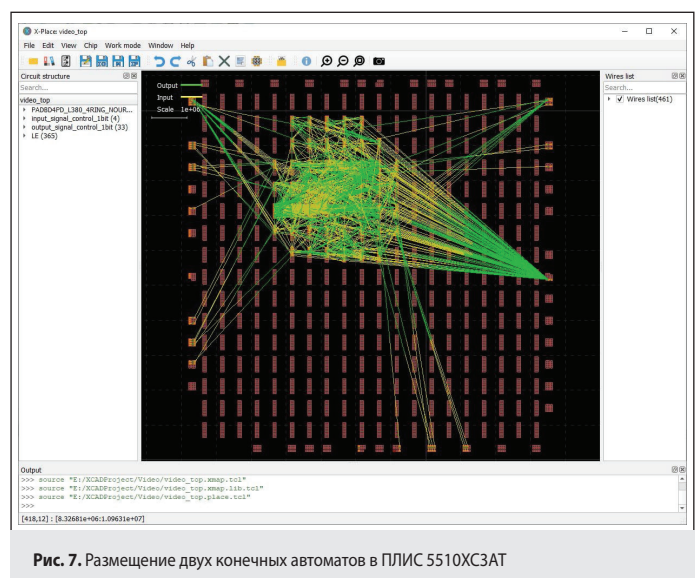


Рис. 7. Размещение двух конечных автоматов в ПЛИС 5510XC3AT