

Продолжение. Начало в № 4'2014

Валерий ЗОТОВ
walerry@km.ru

Проектирование встраиваемых микропроцессорных систем на базе расширяемых процессорных платформ семейства Zynq-7000 AP SoC в САПР Xilinx ISE Design Suite

Анализ результатов процесса размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле

Рекомендуемая последовательность изучения результатов, полученных при осуществлении процесса размещения и трассировки аппаратной части разрабатываемой встраиваемой системы в кристалле расширяемой процессорной платформы, зависит от характера завершения этого процесса. Если рассматриваемая фаза этапа реализации завершилась неудачно (о чем сигнализирует пиктограмма  в строке Place & Route

во встроенной панели процессов Processes управляющей оболочки Project Navigator), то целесообразно в первую очередь ознакомиться с информацией об обнаруженных ошибках. Для получения сведений обо всех сообщениях, сгенерированных средствами размещения и трассировки проекта в кристалле, удобнее всего воспользоваться строкой Place & Route Messages, которая представлена в разделе Errors and Warnings вкладки Design Summary области размещения рабочих окон Project Navigator. При расположении курсора в этой строке и щелчке левой кнопкой мыши на указанной вкладке появляются две дополнительные встроенные панели, чей вид показан на рис. 88.

Первая встроенная панель с заголовком Place & Route Messages позволяет выбрать тип отображаемых сообщений — информационные, ошибки или предупреждения. Такой выбор необходим, как правило, при появлении большого количества сообщений различного типа. Селекция требуемых типов уведомлений, а также их упорядочивание осуществляется с помощью индикаторов состояния, расположенных в этой встроенной панели.

Во второй встроенной панели, находящейся в правой части вкладки Design Summary области расположения рабочих окон Project Navigator, приведена таблица, в которой сосредоточены сообщения, сгенерированные средствами размещения и трас-

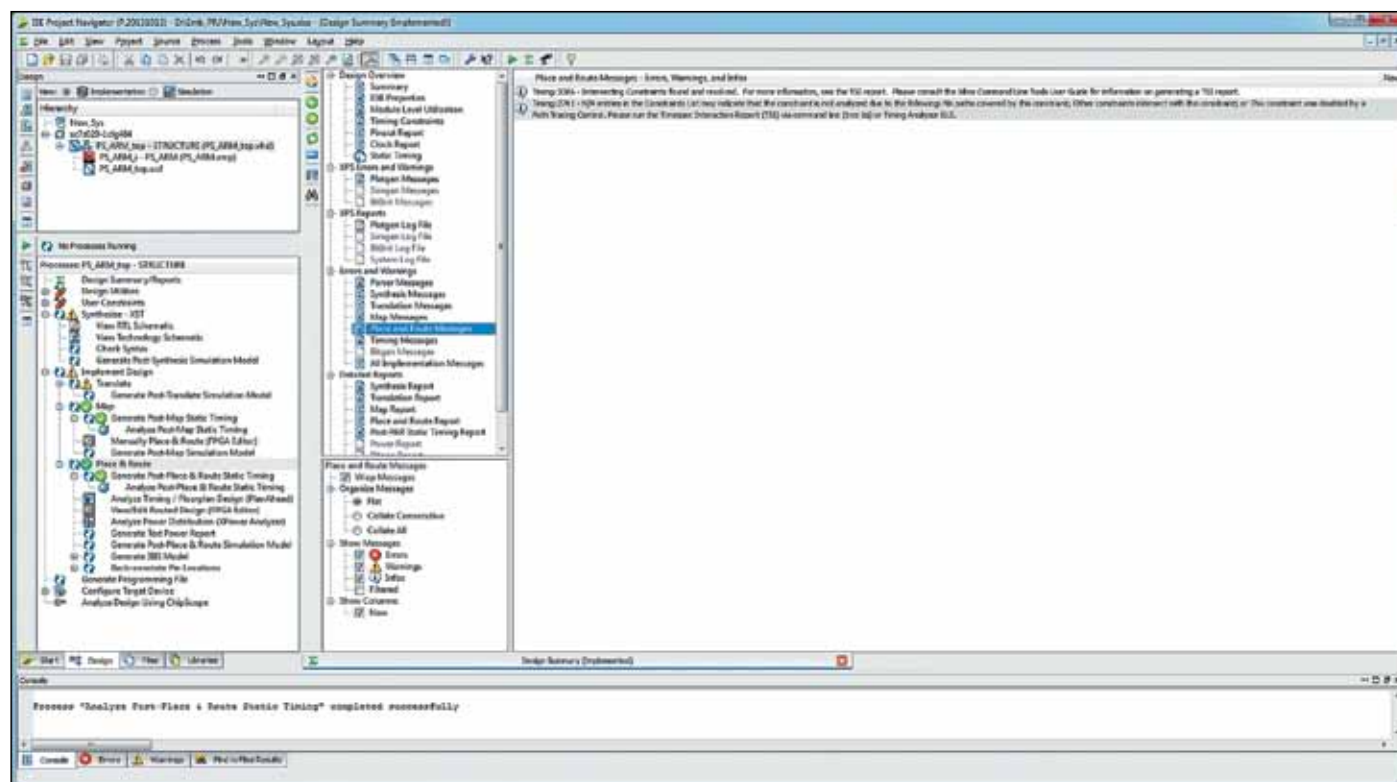


Рис. 88. Отображение сообщений, сгенерированных средствами размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле

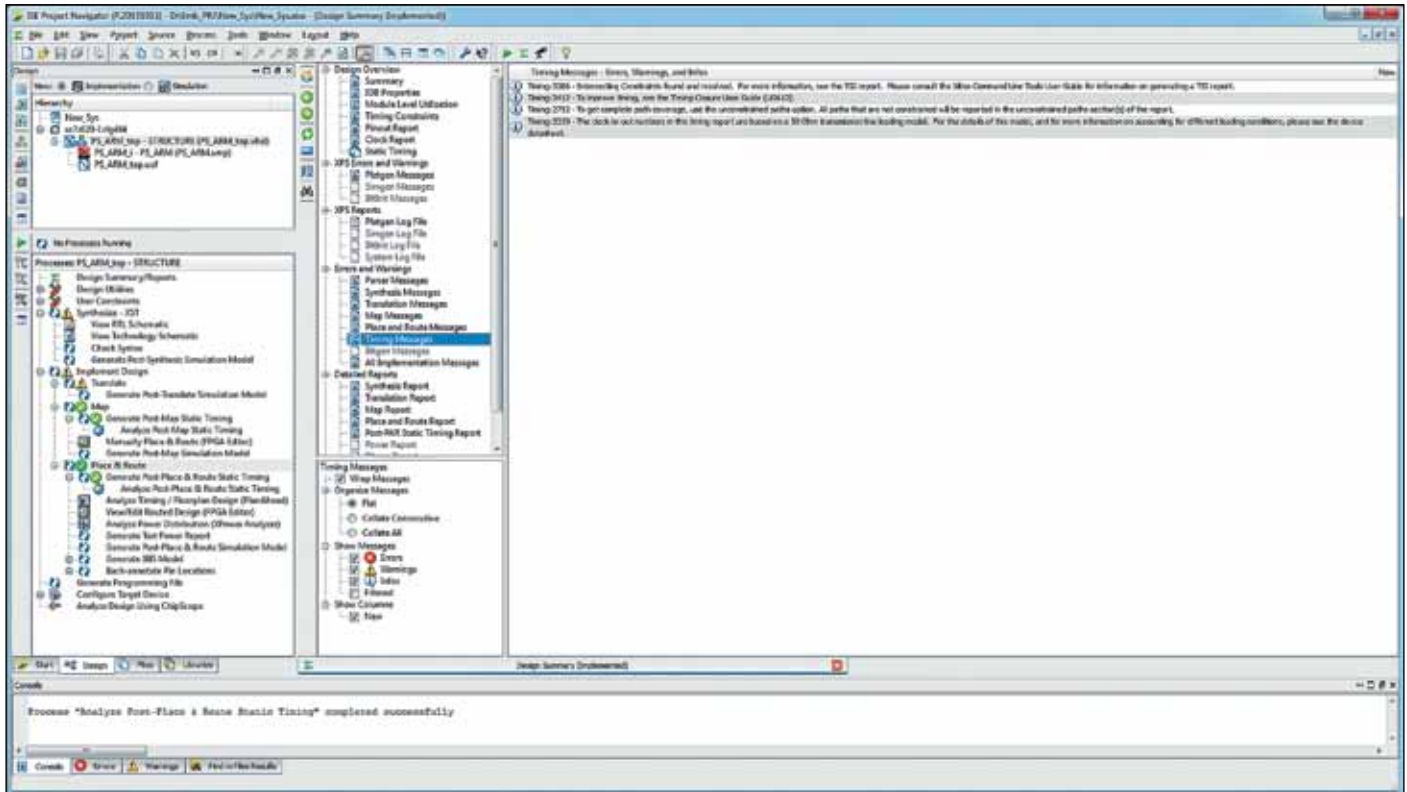





Рис. 89. Отображение сообщений, сгенерированных средствами временного анализа

сировки аппаратной части встраиваемой микропроцессорной системы в кристалле. Эта таблица содержит три колонки. В первой колонке представлены пиктограммы, информирующие о типе отображаемых сообщений. Информационные сообщения, носящие ознакомительный и рекомендательный характер, отмечены пиктограммой . Предупреждения о возможных некорректных ситуациях сопровождаются пиктограммой . Сообщения о критических ошибках обозначаются пиктограммой . Вторая колонка с названием Place & Route Messages — Errors, Warnings, and Infos содержит текст сгенерированных сообщений с указанием их числовых кодов. Третья колонка с названием New информирует о степени новизны отображаемых сообщений. В процессе размещения и трассировки в кристалле проекта аппаратной части простейшей системы сбора и обработки данных не обнаружены ошибки и отсутствуют предупреждения, поэтому в таблице, изображенной на рис. 88, представлены только информационные сообщения.

Быстрый доступ к информации об ошибках, выявленных средствами временного анализа, выполняемого после размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле, предоставляет строка Timing Messages, которая находится в разделе Errors and Warnings вкладки Design Summary области размещения рабочих окон Project Navigator. После расположения курсора на этой строке и щелчка левой кнопкой мыши на той же

вкладке открываются две новые встроенные панели, вид которых приведен на рис. 89.

Первая встроенная панель с заголовком Timing Messages предоставляет возможность выбора типа и сортировки отображаемых сообщений. Информация обо всех типах уведомлений средств временного анализа отображается во второй встроенной панели в той же форме, что и сведения о сообщениях, генерируемых средствами размещения и трассировки проекта в кристалле. Вследствие того что в результатах процесса размещения и трассировки в кристалле аппаратной части системы сбора и обработки данных нарушений временных соотношений не выявлено, в таблице, представленной на рис. 89, содержатся только информационные уведомления.

При успешном завершении процесса размещения и трассировки аппаратной части разрабатываемой встраиваемой системы в кристалле рекомендуется ознакомиться с полученными результатами, проанализировав соответствующие отчеты. После выполнения рассматриваемой фазы этапа реализации разработчику доступны следующие отчеты:

- основной отчет о результатах процесса размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле;
- отчет о конфигурировании выводов кристалла расширяемой процессорной платформы, реализующего функции создаваемой системы;

- отчет о сигналах синхронизации различного типа и физических ресурсах, используемых в каждом регионе тактирования программируемой логики;
- отчет о значениях асинхронных задержек распространения сигналов в аппаратной части разрабатываемой встраиваемой системы;
- итоговый отчет о временных характеристиках аппаратной части проектируемой микропроцессорной системы;
- отчет о потребляемой мощности разрабатываемой системы.

Для формирования некоторых из перечисленных отчетов перед выполнением фазы размещения и трассировки проекта в кристалле необходимо установить разрешающие значения соответствующих параметров этого процесса. Более подробно структура и содержание всех указанных отчетов рассматривается в последующих разделах.

Кроме изучения сгенерированных отчетов, разработчику предоставляется возможность визуальной оценки результатов размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле с помощью топологического редактора FPGA Editor. Чтобы воспользоваться этой возможностью, необходимо расположить курсор во встроенной панели процессов Processes Project Navigator на строке View/Edit Routed Design (FPGA Editor) и дважды щелкнуть левой кнопкой мыши. После этого на экране появляется основное окно топологического редактора FPGA Editor, в котором

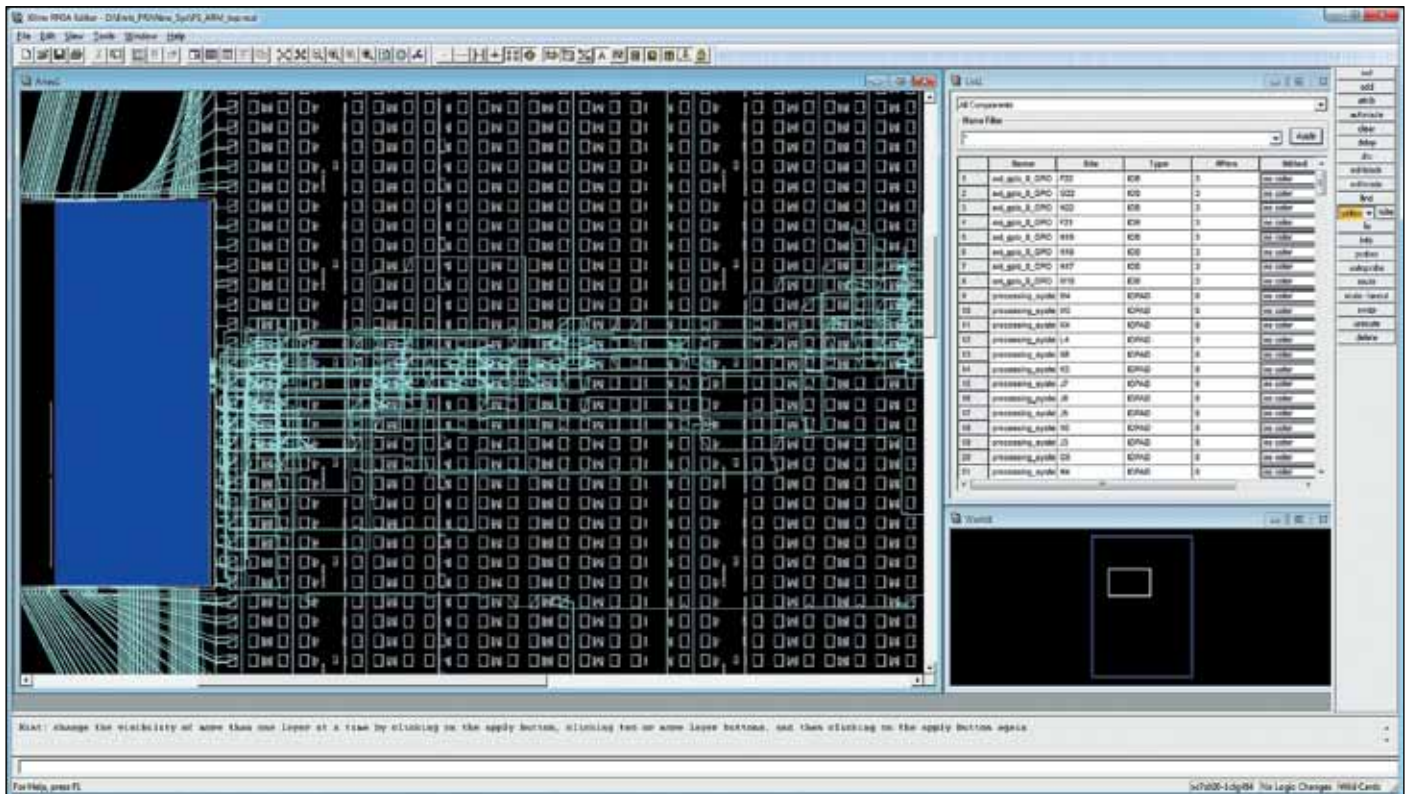


Рис. 90. Отображение результатов размещения и трассировки аппаратной части проектируемой системы в окне топологического редактора FPGA Editor

автоматически открывается файл проекта, содержащий результаты размещения и трассировки аппаратной части разрабатываемой встраиваемой системы в кристалле. Вид этого окна приведен на рис. 90.

Топологический редактор FPGA Editor позволяет, в частности, в наглядной форме получить информацию о неразведенных цепях аппаратной части проектируемой микропроцессорной системы и оценить возможность их последующей трассировки в ручном или автоматическом режиме.

Отчет о результатах процесса размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле

Основной отчет о результатах процесса размещения и трассировки аппаратной части разрабатываемой встраиваемой системы в кристалле расширяемой вычислительной платформы открывается щелчком левой кнопки мыши при расположении курсора на строке Place and Route Report, представленной в разделе Detailed Reports вкладки Design Summary области размещения рабочих окон Project Navigator. После этого на вкладке Design Summary добавляются две новые встроенные панели. В первой встроенной панели с заголовком Place and Route Report приведена интерактивная структура отчета о ходе и результатах осуществления фазы размещения и трассировки аппаратной

части проектируемой микропроцессорной системы в кристалле (рис. 91). Эта встроенная панель предоставляет возможность быстрого перехода к требуемому разделу рассматриваемого отчета.

Во второй встроенной панели, которая находится в правой части вкладки Design Summary, отображается содержимое сформированного отчета в текстовом формате. Структура и содержание информации, представленной в этой встроенной панели, рассматривается ниже на примере отчета о размещении и трассировке в кристалле аппаратной части системы сбора и обработки данных, проект которой был подготовлен в предыдущих частях данной статьи.

В составе данного отчета можно выделить семь частей. В первой части (Top of Report) приводится командная строка запуска средств размещения и трассировки в кристалле с указанием установленных значений параметров инициализации. Здесь же представлена информация о файле физических ограничений, используемом в процессе размещения и трассировки аппаратной части разрабатываемой встраиваемой системы в кристалле расширяемой вычислительной платформы:

```
Release 14.7 par P.20131013 (nt64)
Copyright (c) 1995-2013 Xilinx, Inc. All rights reserved.
--
RPU_1: Mon Sep 15 18:07:11 2014
--
par -w -intstyle ise -ol high -mt off PS_ARM_top_map.ncd PS_ARM_top.ncd
PS_ARM_top.pcf
--
```

```
--
Constraints file: PS_ARM_top.pcf.
Loading device for application Rf_Device from file '7z020.nph'
in environment C:\Xilinx\14.7\ISE_DS\ISE\
"PS_ARM_top" is an NCD, version 3.2, device xc7z020, package
clg484, speed-1
--
Initializing temperature to 85.000 Celsius. (default - Range: 0.000
to 85.000 Celsius)
Initializing voltage to 0.950 Volts. (default - Range: 0.950 to 1.050 Volts)
--
--
Device speed data version: "PRODUCTION 1.08 2013-10-13".
```

Вторая часть отчета, имеющая заголовок Device Utilization, предоставляет итоговые сведения о количестве различных физических ресурсов кристалла, используемых для реализации аппаратной части проектируемой микропроцессорной системы. Эта информация приведена в абсолютном и процентном выражении по отношению к общему объему каждого типа ресурсов применяемого кристалла расширяемой процессорной платформы:

```
Device Utilization Summary:
--
Number of BUFs          1 out of 32      3%
Number of External IOBs  8 out of 200   4%
Number of LOCed IOBs    8 out of 8     100%
--
Number of External IOPads 130 out of 130 100%
Number of LOCed IOPads   130 out of 130 100%
--
Number of PS7s          1 out of 1     100%
Number of Slices        83 out of 13 300 1%
Number of Slice Registers 138 out of 106 400 1%
Number used as Flip Flops 138
Number used as Latches   0
Number used as LatchThrus 0
--
Number of Slice LUTs     197 out of 53 200 1%
Number of Slice LUT-Flip Flop pairs 217 out of 53200 1%
```

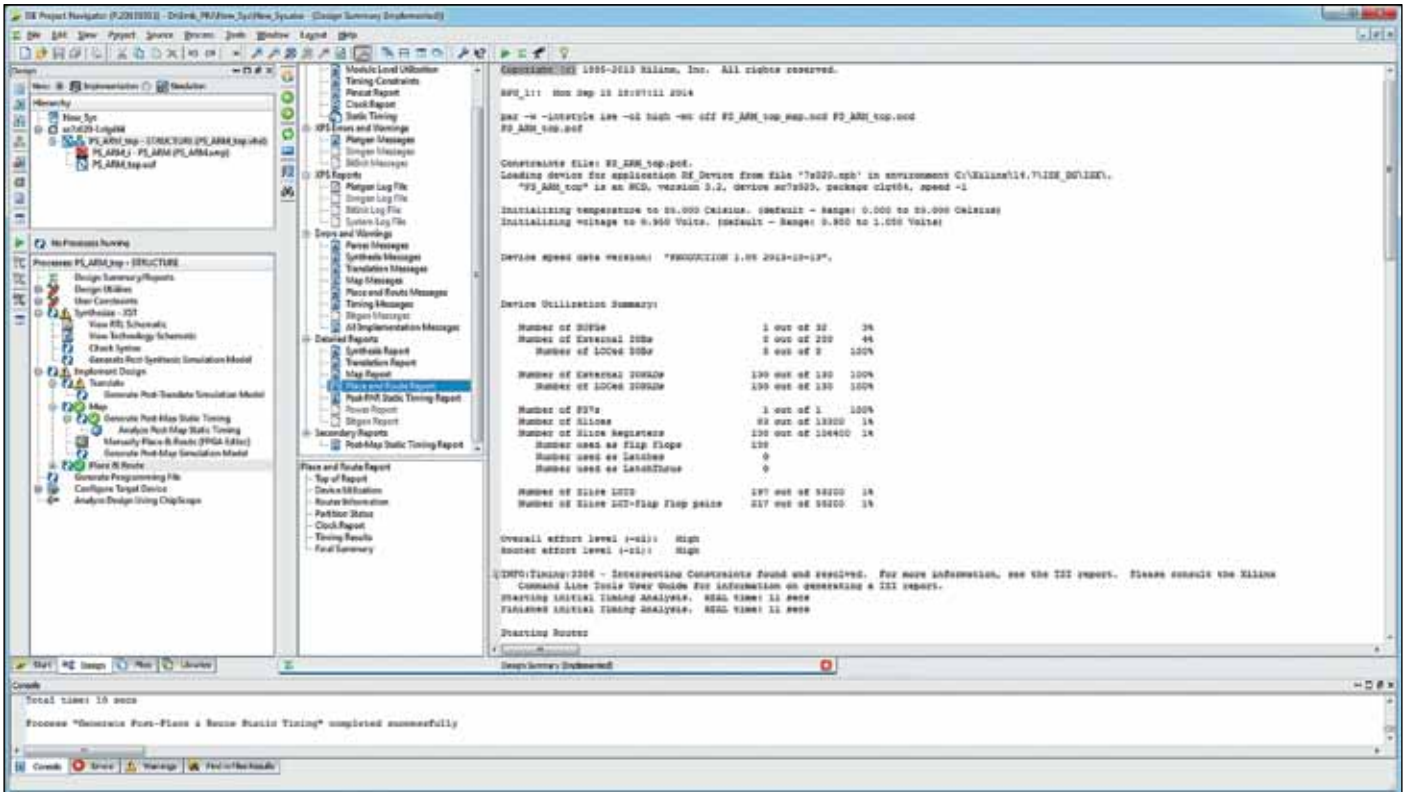



Рис. 91. Открытие отчета о результатах процесса размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле

Более детальные итоговые сведения о распределении физических ресурсов кристалла для реализации каждого иерархического модуля проекта содержит отчет Module Level Utilization. Он генерируется в том случае, когда

индикатор состояния параметра Generate Detailed MAP Report, представленного на странице MAP Properties диалоговой панели параметров процесса реализации (рис. 54), установлен в положение «включено». Чтобы от-

крыть отчет Module Level Utilization, следует поместить курсор на одноименную строку, расположенную в разделе Design Overview вкладки Design Summary области размещения рабочих окон Project Navigator (рис. 91),

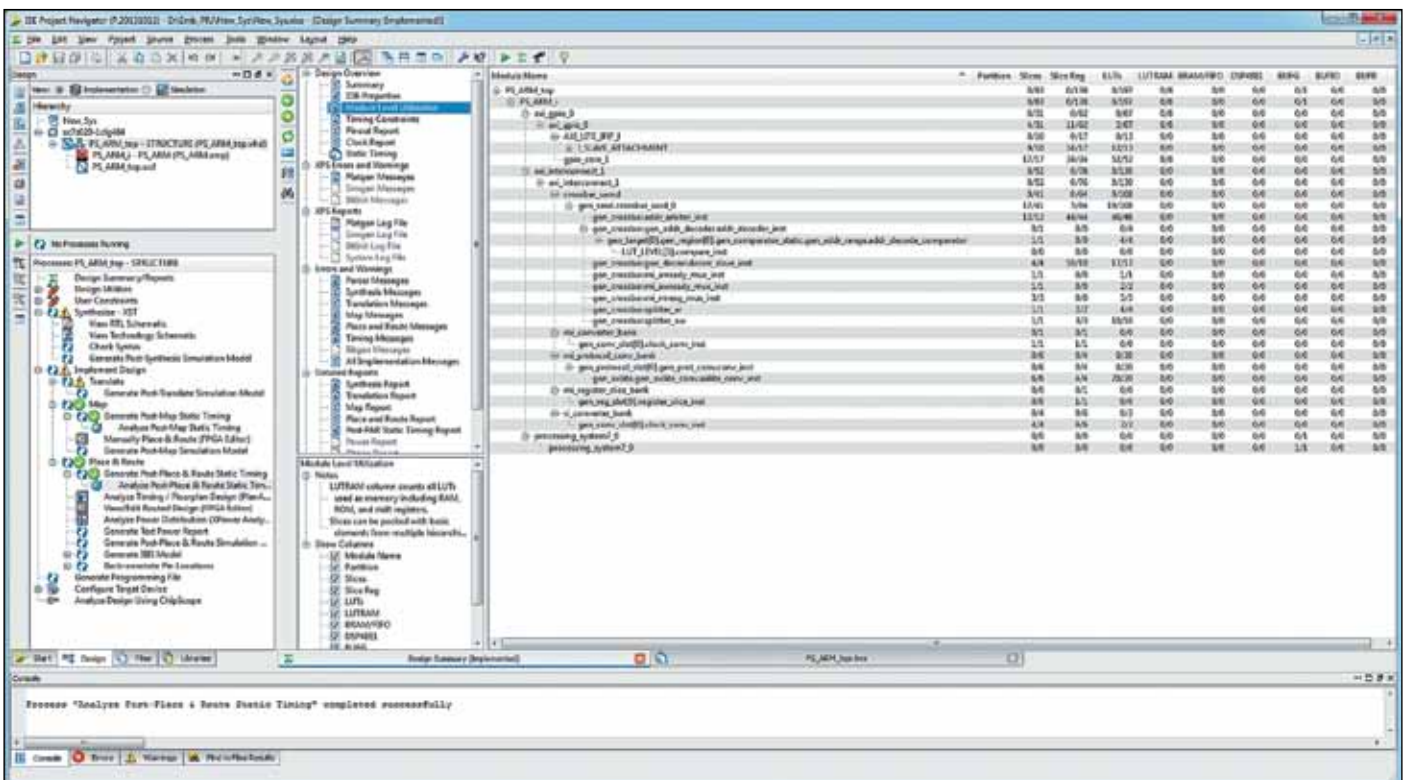


Рис. 92. Открытие отчета о распределении физических ресурсов кристалла для реализации аппаратной части разрабатываемой встраиваемой системы

и щелкнуть левой кнопкой мыши. В результате на указанной вкладке открываются две дополнительные встроенные панели, вид которых демонстрирует рис. 92.

В первой открывшейся встроенной панели представлена таблица, содержащая информацию об объеме ресурсов различных типов, задействованных для реализации каждого иерархического модуля проекта аппаратной части разрабатываемой микропроцессорной системы. Эта таблица включает одиннадцать колонок с названиями Module Name, Partition, Slices, Slice Reg, LUTs, LUTRAM, BRAM/FIFO, DSP48E1, BUFG, BUFIO, BUFR. В колонке Module Name отображаются идентификаторы модулей, входящих в состав иерархической структуры проекта аппаратной части создаваемой микропроцессорной системы. Столбец Partition предоставляет сведения о разделе проекта, к которому относятся соответствующие иерархические модули (при разбиении проекта на части). В колонках Slices, Slice Reg, LUTs, LUTRAM, BRAM/FIFO, DSP48E1, BUFG, BUFIO, BUFR приведена соответственно информация о количестве секций программируемой логики, триггеров, таблиц преобразования, элементов распределенной и блочной памяти Block RAM, секций цифровой обработки сигналов, различных буферных элементов, применяемых в составе каждого иерархического модуля.

Вторая встроенная панель, имеющая заголовок Module Level Utilization, предоставляет возможность выбора отображаемых колонок в рассмотренной выше таблице. В этой встроенной панели расположены индикаторы состояния с названиями всех перечисленных колонок, каждый из которых позволяет исключить или добавить соответствующий столбец в состав отображаемой таблицы.

В начале третьей части основного отчета о выполнении процесса размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле (Router Information) приводятся значения параметров управления оптимизацией, осуществляемой на рассматриваемой фазе этапа реализации. Затем следует информация о разрешении всех пересекающихся временных ограничений. Далее представлены сведения о результатах выполнения каждой фазы процесса трассировки с указанием ее длительности. Основным показателем при этом является количество неразведенных цепей аппаратной части разрабатываемой встраиваемой системы. Завершает третью часть отчета информация о времени выполнения процесса трассировки:

```
Overall effort level (-ol): High
Router effort level (-rl): High
--
INFO:Timing:3386 - Intersecting Constraints found and resolved. For more information, see the TSI report.
Please consult the Xilinx
  Command Line Tools User Guide for information on generating a TSI report.
Starting initial Timing Analysis. REAL time: 11 secs
Finished initial Timing Analysis. REAL time: 11 secs
--
Starting Router
--
Phase 1 : 2848 unrouted; REAL time: 11 secs
--
Phase 2 : 980 unrouted; REAL time: 12 secs
--
Phase 3 : 321 unrouted; REAL time: 12 secs
--
Phase 4 : 321 unrouted; (Setup:0, Hold:759, Component Switching Limit:0) REAL time: 15 secs
--
Updating file: PS_ARM_top.ncd with current fully routed design.
--
Phase 5 : 0 unrouted; (Setup:0, Hold:546, Component Switching Limit:0) REAL time: 15 secs
--
Phase 6 : 0 unrouted; (Setup:0, Hold:546, Component Switching Limit:0) REAL time: 15 secs
--
Phase 7 : 0 unrouted; (Setup:0, Hold:546, Component Switching Limit:0) REAL time: 15 secs
--
Phase 8 : 0 unrouted; (Setup:0, Hold:546, Component Switching Limit:0) REAL time: 15 secs
--
Phase 9 : 0 unrouted; (Setup:0, Hold:0, Component Switching Limit:0) REAL time: 15 secs
--
Total REAL time to Router completion: 15 secs
Total CPU time to Router completion: 14 secs
```

Четвертая секция основного отчета о результатах размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле, озаглавленная Partition Implementation Status, относится

к проектам, представленным в виде отдельных сегментов. В этой секции отображены сведения о том, какие составляющие проекта участвовали в выполненном процессе размещения и трассировки и для каких использовались результаты предыдущих запусков этого процесса:

```
Partition Implementation Status
-----
--
No Partitions were found in this design.
-----
```

Пятая часть, имеющая заголовок Clock Report, содержит сведения обо всех тактовых сигналах, используемых в аппаратной части разрабатываемой встраиваемой системы, и их параметрах. Эти сведения представлены в форме таблицы, в состав которой входят шесть колонок с названиями Clock Net, Resource, Locked, Fanout, Net Skew(ns) и Max Delay(ns). В колонке Clock Net отображены идентификаторы цепей синхронизации, представленных в составе аппаратной части проектируемой микропроцессорной системы. В столбце Resource приводится информация о физических ресурсах кристалла, задействованных в соответствующих цепях распространения тактовых сигналов. В колонке Locked указывается состояние цепей синхронизации при выполнении процесса размещения и трассировки в кристалле. Ячейки, входящие в состав столбца Fanout, информируют о числе разветвлений соответствующих цепей распространения тактовых сигналов. Колонка Net Skew(ns) предоставляет сведения о величине временного перекоса для каждой цепи синхронизации. Ячейки, образующие столбец Max Delay(ns), содержат информацию о максимальных задержках распространения тактовых сигналов по соответствующим цепям.

Generating "PAR" statistics.

```
*****
Generating Clock Report
*****
```

Clock Net	Resource	Locked	Fanout	Net Skew(ns)	Max Delay(ns)
PS_ARM_i/processing_system7_0_FCLK_CLK0	BUFGCTRL_X0Y31	No	62	0.337	1.977

```
--
* Net Skew is the difference between the minimum and maximum routing only delays for the net. Note this is different from Clock Skew which is reported in TRCE timing report. Clock Skew is the difference between the minimum and maximum path delays which includes logic delays.
--
```

```
* The fanout is the number of component pins not the individual BEL loads, for example SLICE loads not FF loads.
```

Следует обратить внимание на то, что аналогичную информацию о характеристиках всех тактовых сигналов, применяемых в аппаратной части разрабатываемой встраиваемой системы, можно получить и более оперативным способом. Для этого нужно расположить курсор на строке Clock Report, представленной в разделе Design Overview вкладки **Design Summary** области размещения рабочих окон Project Navigator, и щелкнуть левой кнопкой мыши. При этом на указанной вкладке появляются две новые встроенные панели, вид которых показан на рис. 93.

В первой открывшейся встроенной панели, расположенной в правой части вкладки **Design Summary**, отображается таблица параметров сигналов синхронизации аппаратной части проектируемой микропроцессорной системы, которая включает семь колонок с названиями Clock Net, Routed, Resource, Locked, Fanout, Net Skew(ns) и Max Delay(ns). Кроме столбцов, рассмотренных выше, в этой таблице присутствует колонка Routed, содержащая сведения о результатах трассировки соответствующих цепей синхронизации. Во второй встроенной панели с заголовком Clock Report представлены индикаторы состояния, управляющие отображением каждой из перечисленных колонок таблицы, рассмотренной выше.

В шестой части основного отчета о результатах размещения и трассировки аппаратной части разрабатываемой встраиваемой системы

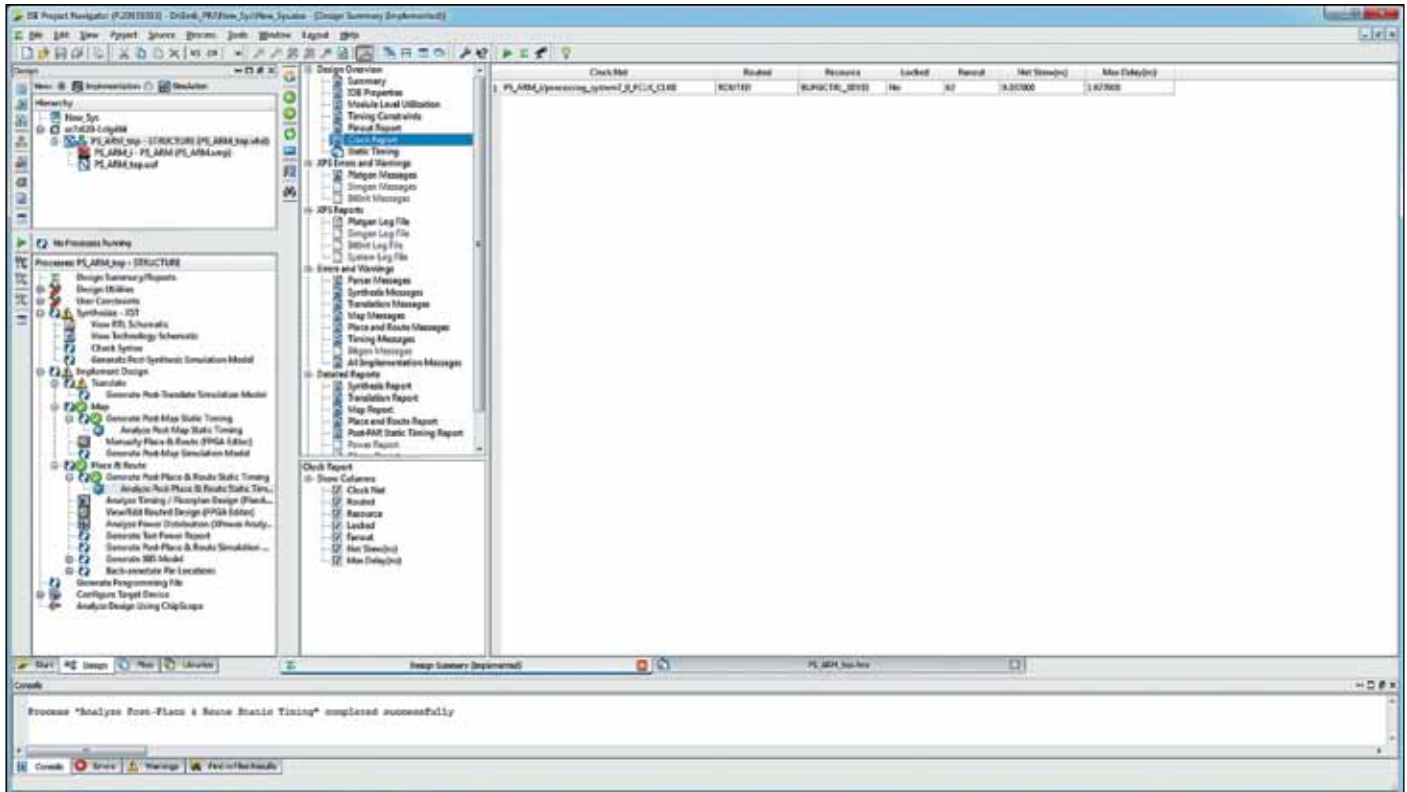


Рис. 93. Отображение информации о тактовых сигналах аппаратной части проектируемой микропроцессорной системы

в кристалле (Timing Constraints) приводится информация о выполнении временных ограничений, установленных в проекте. Значения временных параметров сигналов, ассоциируемых с указанными ограничениями, представлены в виде таблицы, которая насчитывает шесть колонок с названиями Constraint, Check, Worst Case Slack, Best Case Achievable, Timing Errors и Timing Score. В колонке Constraint отображаются выражения заданных временных ограничений. В столбце Check перечислены идентификаторы временных параметров, ассоциируемых с соответствующими ограничениями, которые контролировались средствами временного анализа. Колонка Worst Case Slack предоставляет информацию о значениях временных параметров для наихудшего случая. Ячейки столбца Best Case Achievable содержат значения временных параметров для достижимого наилучшего варианта. В колонке Timing Errors представлены сведения о количестве ошибок, обнаруженных при анализе временных соотношений сигналов. В ячейках колонки Timing Score указываются оценки выполнения временных соотношений для соответствующих временных ограничений проекта аппаратной части разрабатываемой микропроцессорной системы:

Timing Score: 0 (Setup: 0, Hold: 0, Component Switching Limit: 0)

Asterisk (*) preceding a constraint indicates it was not met.
This may be due to a setup or hold violation.

Constraint	Check	Worst Case Slack	Best Case Achievable	Timing Errors	Timing Score
TS_clk_fpga_0 = PERIOD TIMEGRP "clk_fpga_0" 100 MHz HIGH 50%	SETUP HOLD	4.171ns 0.024ns	5.829ns	0 0	0 0
PATH "TS_axi_interconnect_1_reset_resync_path" TIG	SETUP	N/A		N/A	0

All constraints were met.

INFO: Timing:2761 - N/A entries in the Constraints List may indicate that the constraint is not analyzed due to the following: No paths covered by this constraint; Other constraints intersect with this constraint; or This constraint was disabled by a Path Tracing Control. Please run the Timespec Interaction Report (TSI) via command line (trc tsi) or Timing Analyzer GUI.

Возможность быстрого получения сведений о выполнении временных ограничений, заданных в проекте аппаратной части разрабаты-

ваемой встраиваемой системы, и значениях временных параметров сигналов, ассоциируемых с указанными ограничениями, предоставляет альтернативный способ. Чтобы воспользоваться им, достаточно поместить курсор на строку Timing Constraints, расположенную в разделе Design Overview вкладки **Design Summary** рабочей области основного окна Project Navigator, и щелкнуть левой кнопкой мыши. После этого на той же вкладке открываются две новые встроенные панели, вид которых представлен на рис. 94.

В первой встроенной панели приведена таблица, структура которой отличается от рассмотренной выше наличием дополнительной колонки *Met*. В этой колонке отображается информация о выполнении или невыполнении соответствующих временных ограничений в процессе размещения и трассировки проекта в кристалле. Кроме того, следует обратить внимание на то, что выражения временных ограничений в этой таблице отображаются в формате гиперссылок. Если необходимо получить более подробную информацию о сигналах, ассоциируемых с выбранным временным ограничением, то следует расположить курсор на соответствующей гиперссылке и щелкнуть левой кнопкой мыши. В результате автоматически открывается требуемый раздел итогового отчета о результатах временного анализа. Например, при активизации гиперссылки, расположенной в нижней строке таблицы, представленной на рис. 94, открывается раздел отчета, показанный на рис. 95.

Вторая встроенная панель, имеющая заголовок Timing Constraints, содержит индикаторы состояния, которые позволяют выбрать только требуемые колонки в таблице временных ограничений (рис. 94). В этой же встроенной панели расположены две кнопки с зависимой фиксацией **All Constraints** и **Failing Only**. Для отображения всех установленных временных ограничений в нажатом состоянии должна находиться кнопка **All Constraints**. Если необходимо получить информацию только о невыполненных временных ограничениях, то в нажатое положение следует переключить кнопку **Failing Only**.

Седьмая часть рассматриваемого отчета предоставляет итоговую информацию о результатах выполнения этапа размещения и трассировки в кристалле аппаратной части проектируемой встраиваемой

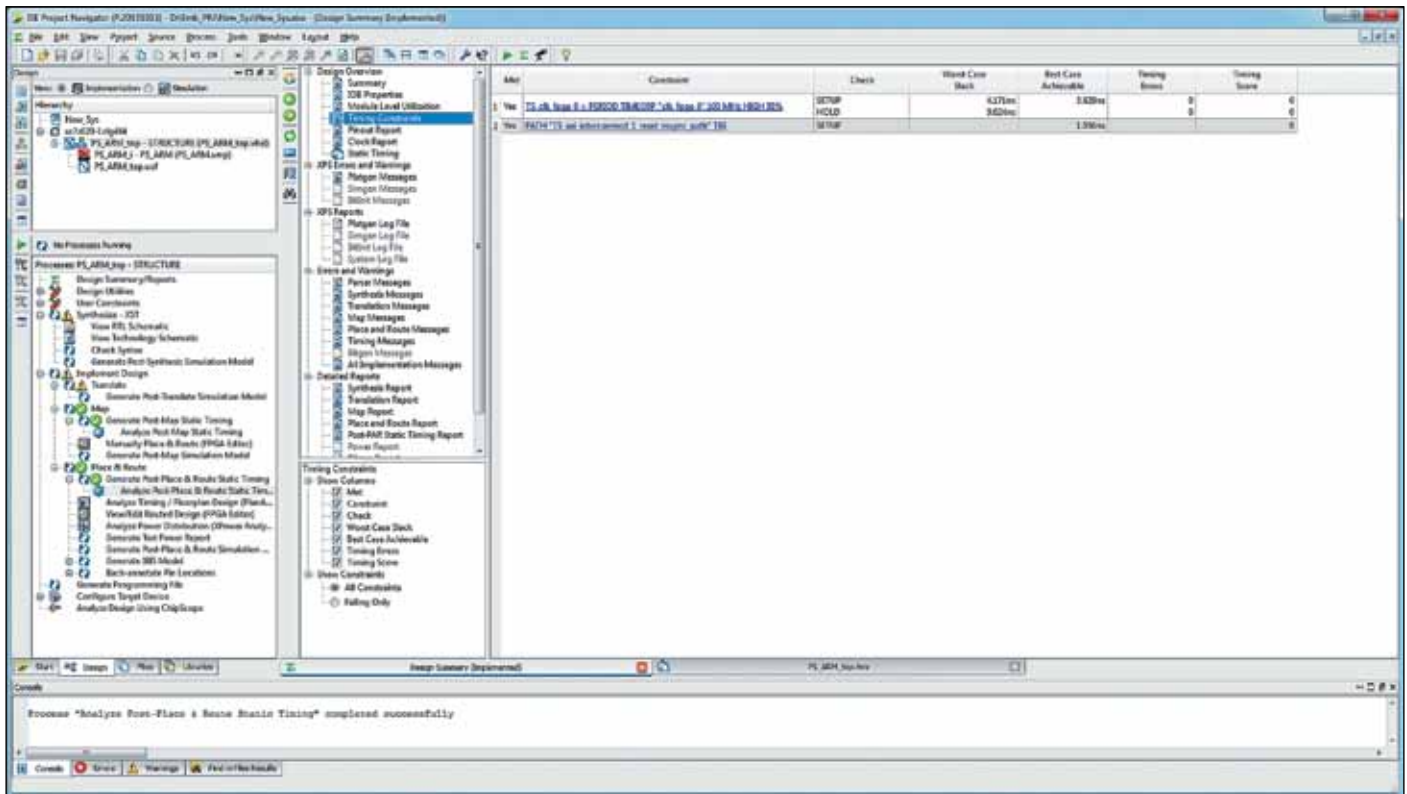


Рис. 94. Отображение информации о выполнении временных ограничений и значениях временных параметров соответствующих сигналов

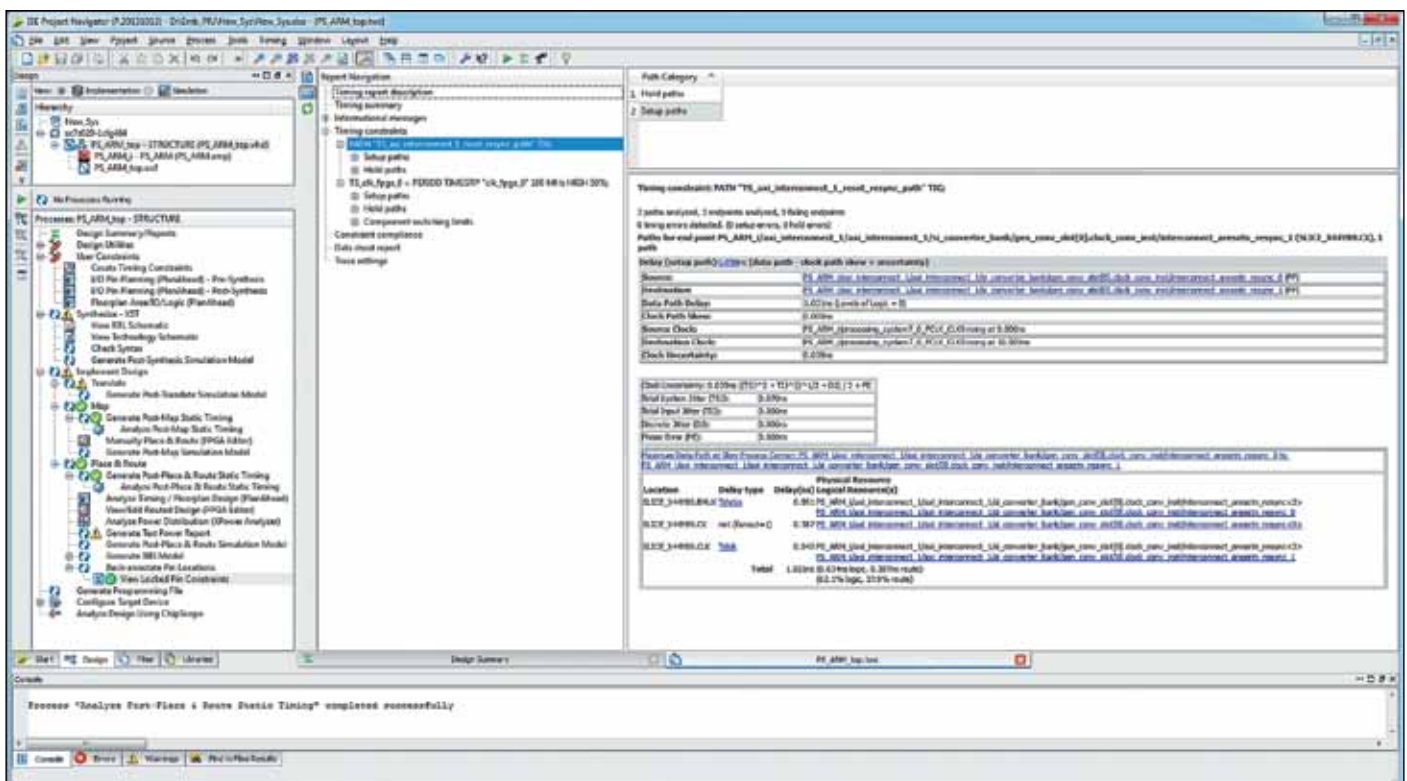


Рис. 95. Отображение результатов временного анализа для выбранного временного ограничения проекта

системы. Здесь приведено сообщение о формировании отчета, содержащего сведения о конфигурировании выводов кристалла расширяемой процессорной платформы для реализации функций разрабатываемой систе-

мы. Подробное описание этого отчета дается в следующем разделе. Кроме того, в заключительной части основного отчета о выполнении процесса размещения и трассировки проекта в кристалле отображается информация

о количестве разведенных цепей, времени выполнения этого процесса и объеме используемой памяти, а также о числе обнаруженных ошибок и сгенерированных предупреждающих и информационных сообщений:

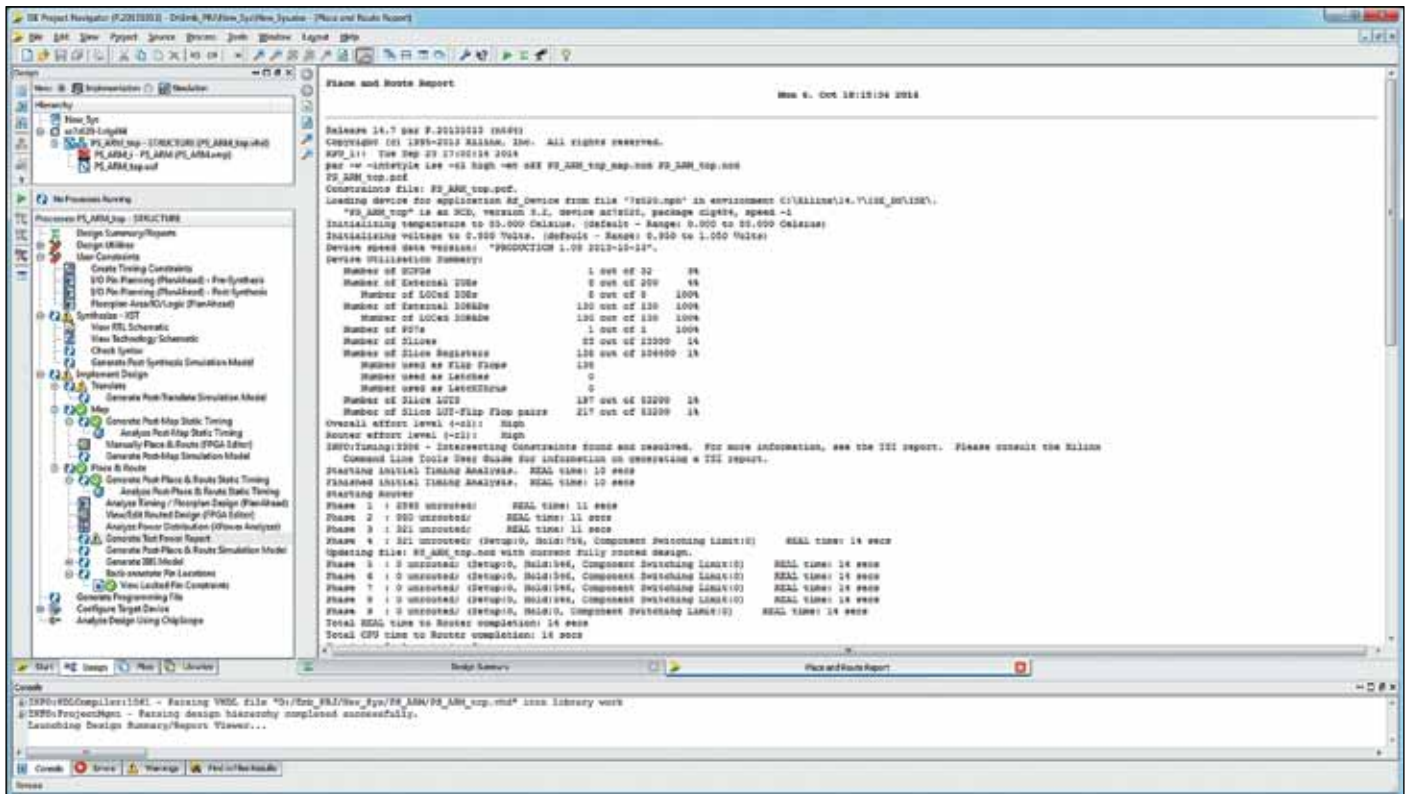


Рис. 96. Отображение отчета о результатах процесса размещения и трассировки проекта в кристалле в формате HTML

```

Generating Pad Report.
--
All signals are completely routed.
--
Total REAL time to PAR completion: 16 secs
Total CPU time to PAR completion: 15 secs
--
Peak Memory Usage: 709 MB
--
Placer: Placement generated during map.
Routing: Completed - No errors found.
Timing: Completed - No errors found.
--
Number of error messages: 0
Number of warning messages: 0
Number of info messages: 1
--
Writing design to file PS_ARM_top.ncd
--
PAR done!

```

Для просмотра основного отчета о результатах процесса размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле в HTML-формате следует воспользоваться командой **View Report As HTML** из контекстно-зависимого всплывающего меню, открываемого щелчком правой кнопкой мыши при расположении курсора во встроенной панели текста отчета, или кнопкой быстрого доступа . Эта кнопка представлена на панели инструментов, которая находится слева от области расположения рабочих окон Project Navigator. При выполнении команды контекстно-зависимого меню **View Report As HTML** или нажатии кнопки быстрого доступа  в указанной области открывается новая вкладка **Place and Route Report** (рис. 96).

Отчет о конфигурировании выводов кристалла расширяемой процессорной платформы, реализующей функции проектируемой системы

Доступ к отчету о конфигурировании выводов кристалла расширяемой процессорной платформы, реализующей функции аппаратной части разрабатываемой встраиваемой системы, предоставляет строка Pinout Report, отображаемая в разделе Design Overview вкладки **Design Summary** области размещения рабочих окон Project Navigator. При расположении курсора на этой строке и щелчке левой кнопкой мыши на указанной вкладке добавляются две новые встроенные панели, вид которых демонстрирует рис. 97.

Во встроенной панели, расположенной в правой части вкладки **Design Summary**, представлен рассматриваемый отчет, оформленный в виде таблицы. Она включает пятнадцать колонок с заголовками Pin Number, Signal Name, Pin Usage, Pin Name, Direction, IO Standard, IO Bank Number, Drive (mA), Slew Rate, Termination, IOB Delay, Voltage, Constraint, IO Register и Signal Integrity. В этих колонках для каждого вывода применяемого кристалла расширяемой процессорной платформы приводятся значения соответствующих параметров конфигурации. В ячейках колонки Pin Number последовательно перечисляются номера выводов используемого кристалла. Нумерация выводов кристалла осуществляется в соответствии с выбран-

ным корпусным исполнением в том же виде, в каком она представлена в справочной документации. В ячейках, образующих столбец Signal Name, приводятся идентификаторы интерфейсных сигналов аппаратной части проектируемой микропроцессорной системы, которые подключаются к соответствующим выводам кристалла. Ячейки, входящие в состав колонки Pin Usage, предоставляют информацию о типе соответствующих выводов. Ячейки столбца Pin Name содержат условные обозначения выводов кристалла расширяемой процессорной платформы, применяемые в справочной документации. В колонке Direction отображаются сведения о направлении передачи сигналов через пользовательские выводы программируемой логики, задействованные в составе аппаратной части разрабатываемой встраиваемой системы. В ячейках столбца IO Standard указаны условные обозначения цифровых сигнальных стандартов, в соответствии с которыми конфигурируются выводы кристалла. В ячейках, образующих колонку IO Bank Number, представлены номера банков ввода/вывода, в чей состав входят соответствующие выводы кристалла. В колонке Drive (mA) содержится информация о нагрузочной способности задействованных выводов. В столбце Slew Rate отображаются сведения о скорости переключения фронтов сигналов на применяемых выводах кристалла. В колонке Termination приведена информация о применении согласующих элементов блоков ввода/вывода для используемых контак-

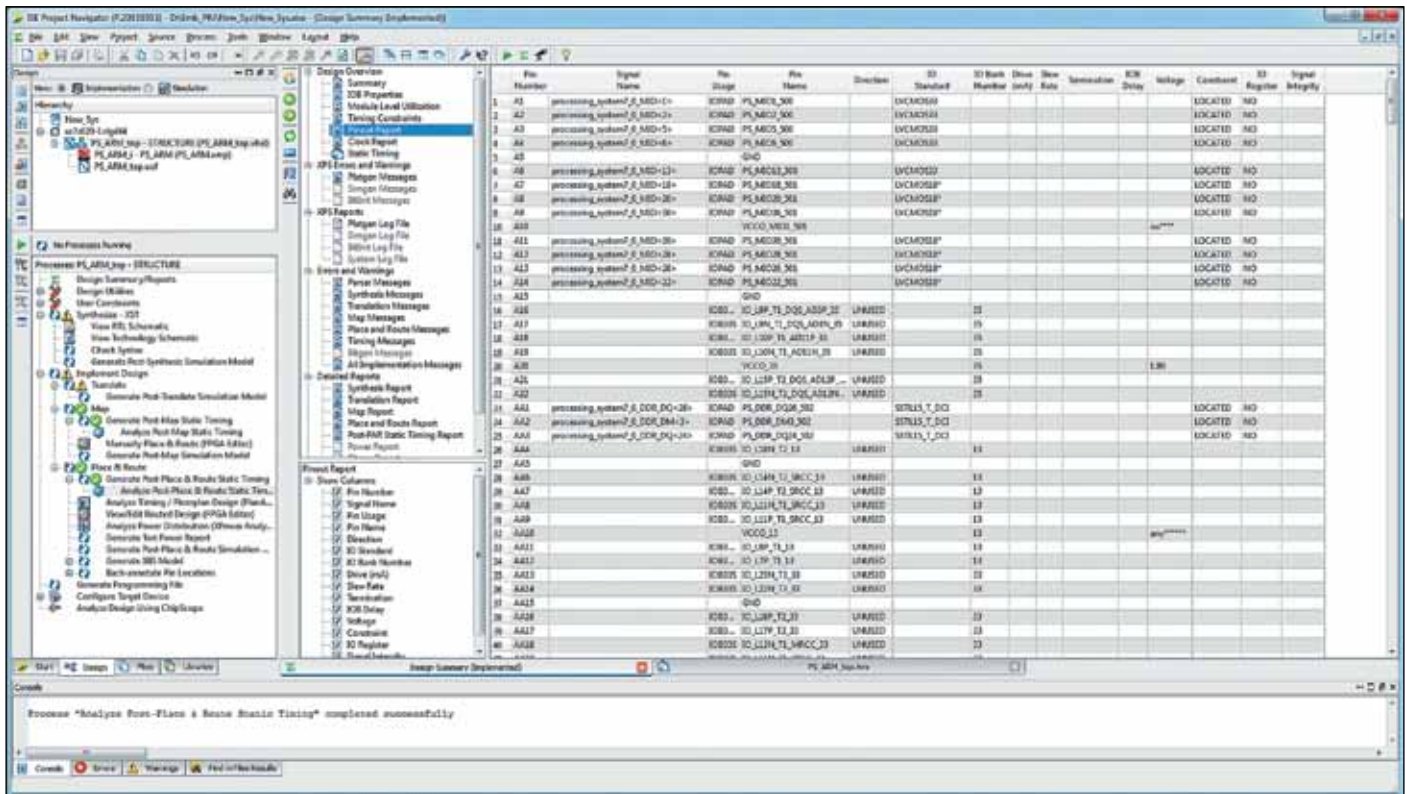


Рис. 97. Открытие отчета о конфигурировании выводов кристалла расширяемой процессорной системы

тов кристалла. Столбец IOB Delay содержит сведения об использовании элементов входной и выходной задержки, представленных в составе блоков ввода/вывода, для задействованных контактов кристалла. В ячейках в составе колонки Voltage указаны значения напряжения питания, которое применяется для выходных каскадов блоков ввода/вывода, входящих в состав каждого банка. Столбец Constraint предоставляет информацию об используемых выводах кристалла, расположение которых определено заданными топологическими ограничениями проекта. В ячейках, относящихся к колонке IO Register, отображаются сведения о применении входных и выходных триггеров, имеющих в составе блоков ввода/вывода.

Встроенная панель **Pinout Report**, которая находится в нижней части вкладки **Design Summary** области расположения рабочих окон Project Navigator, предоставляет возможность отображения на экране только необходимых колонок рассмотренной таблицы. В этой панели представлены индикаторы состояния с названиями всех перечисленных колонок, каждый из которых определяет видимость соответствующего столбца таблицы. По умолчанию в таблице отчета о конфигурировании выводов кристалла расширяемой процессорной платформы, реализующей функции аппаратной части разрабатываемой встраиваемой системы, присутствуют все колонки (все индикаторы состояния во встроенной панели **Pinout Report** находятся в положении «включено»). Для

исключения какого-либо столбца из состава отображаемой таблицы следует перевести одноименный индикатор состояния в сброшенное положение.

В рассмотренной выше таблице рекомендуется в первую очередь изучить информацию о пользовательских выводах кристалла расширяемой процессорной платформы, к которым подключаются внешние интерфейсные сигналы аппаратной части разрабатываемой встраиваемой системы. При редактировании топологических ограничений, устанавливающих привязку интерфейсных сигналов к выводам кристалла, встречаются случаи, когда разработчики забывают сохранить выполненные изменения в файле **.UCF**. В таких случаях, если не закрывается окно редактирования модуля временных и топологических ограничений, никакие предупреждений не выдается и все процессы этапов синтеза и реализации выполняются со старой версией файла **.UCF**. В результате отдельные интерфейсные цепи аппаратной части проектируемой микропроцессорной системы оказываются подключенными к иным выводам кристалла, нежели указано в последней версии модуля временных и топологических ограничений.

Для сравнения привязки внешних интерфейсных цепей разрабатываемой системы к выводам кристалла, получившейся после выполнения процесса размещения и трассировки, с заданными топологическими ограничениями можно сформировать временный файл с расширением **.LPC** (Locked Pin

Constraints). Этот файл содержит выражения топологических ограничений, которые определяют соответствие выводов кристалла расширяемой процессорной платформы и интерфейсных цепей реализуемой системы, полученное в результате размещения и трассировки проекта аппаратной части. Чтобы сгенерировать и открыть этот файл, нужно прежде всего во встроенной панели процессов **Processes** Project Navigator развернуть раздел **Back-Annotate Pin Locations**. Затем следует расположить курсор на строке **View Locked Pin Constraints** и дважды щелкнуть левой кнопкой мыши. После этого в области расположения рабочих окон Project Navigator появляется новая вкладка, название которой совпадает с идентификатором сформированного файла **.LPC** (рис. 98). На открывшейся вкладке отображаются выражения топологических ограничений, содержащихся в указанном файле.

Отчет о сигналах синхронизации и физических ресурсах, используемых в каждом регионе тактирования программируемой логики

В составе программируемой логики PL кристаллов расширяемых процессорных платформ семейства Zynq-7000 AP SoC предусмотрена многоуровневая система распределения сигналов синхронизации. Эта система включает 32 линии глобальных тактовых сигналов (Global Clocks), сопряжен-

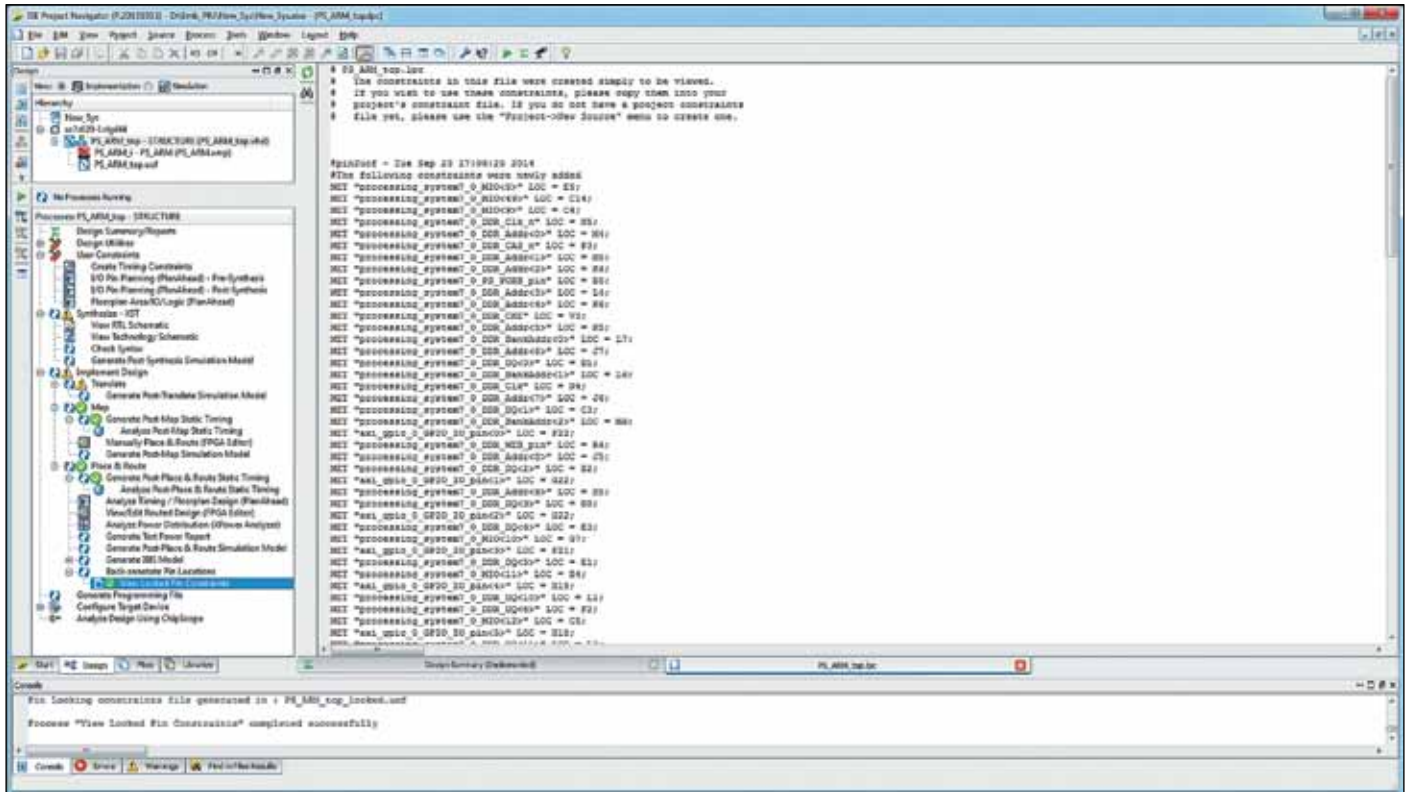


Рис. 98. Отображение выражений ограничений, определяющих соответствие выводов кристалла и интерфейсных цепей по результатам размещения и трассировки

ных с глобальными буферными элементами BUFG, которые могут использоваться для синхронизации любых логических и специализированных блоков программируемой логики PL. При этом вся соответствующая площадь кристалла разделена на несколько регионов тактирования, чье количество зависит от объема ресурсов расширяемых процессорных платформ. Вертикальный размер каждого региона тактирования ограничен 50 конфигурируемыми логическими блоками CLB, а горизонтальный — половиной ширины кристалла. В состав каждого региона входят 50 блоков ввода/вывода (один банк ввода/вывода). В каждом из этих регионов доступно двенадцать линий глобальных тактовых сигналов. Кроме того, в каждой из этих областей имеется совокупность цепей региональных сигналов синхронизации (Regional Clocks). Подключение к цепям осуществляется через региональные буферные элементы BUFR и мультирегиональные — BUFMR. Региональные сигналы синхронизации применяются в основном для тактирования элементов, расположенных в данном регионе, а также могут использоваться в ближайших соседних регионах, находящихся выше и ниже.

Для того чтобы сформировать отчет обо всех сигналах синхронизации и используемых ресурсах по каждому региону тактирования в процессе размещения и трассировки аппаратной части проектируемой микропроцессорной системы в кристалле, необходимо на странице Place and Route Properties диало-

говой панели параметров этапа реализации (рис. 55) установить индикатор состояния параметра **Generate Clock Region Report** в положение «включено». В этом случае после завершения фазы размещения и трассировки в разделе Secondary Reports вкладки **Design Summary** области расположения рабочих окон Project Navigator добавляется строка Clock Region Report. Для просмотра сгенерированного отчета следует расположить курсор на указанной строке и щелкнуть левой кнопкой мыши. После этого на вкладке **Design Summary** открывается дополнительная встроенная панель, вид которой представлен на рис. 99. В этой встроенной панели отображается текст рассматриваемого отчета.

Структура и содержание отчета о сигналах синхронизации и используемых ресурсах по каждому региону тактирования рассматривается на примере документа, сформированного в процессе размещения и трассировки в кристалле аппаратной части системы сбора и обработки данных, текст которого приведен ниже. В начале этого отчета содержится информация о количестве регионов тактирования в кристалле расширяемой процессорной платформы, используемой для реализации разрабатываемой системы:

```
Release 14.7 – reportgen P.20131013 (nt64)
Copyright (c) 1995–2013 Xilinx, Inc. All rights reserved.
...
Tue Sep 23 17:00:53 2014
...
SUMMARY
-----
There are 6 clock regions.
```

Последующая часть отчета разделена на секции, количество которых определяется числом регионов тактирования в применяемом кристалле. В каждой из этих секций приведены сведения о количестве глобальных, региональных и локальных сигналов синхронизации, а также списки идентификаторов указанных тактовых сигналов для соответствующего региона. Заключительная часть каждой секции предоставляет информацию об объеме физических ресурсов различного типа, задействованных в соответствующем регионе для реализации аппаратной части проектируемой микропроцессорной системы. Эта информация отображается в абсолютном и процентном выражении по отношению к общему объему каждого типа физических ресурсов кристалла:

```
Clock Reports by Clock Regions
-----
Clock Region X0Y0:
-----
Number of global clocks in this region: 0
--
Number of regional clocks in this region: 0
--
Number of local clocks in this region: 0
--
Summary of components used in this region:

Clock Region X1Y0:
-----
Number of global clocks in this region: 0
--
Number of regional clocks in this region: 0
--
Number of local clocks in this region: 0
--
Summary of components used in this region:
```

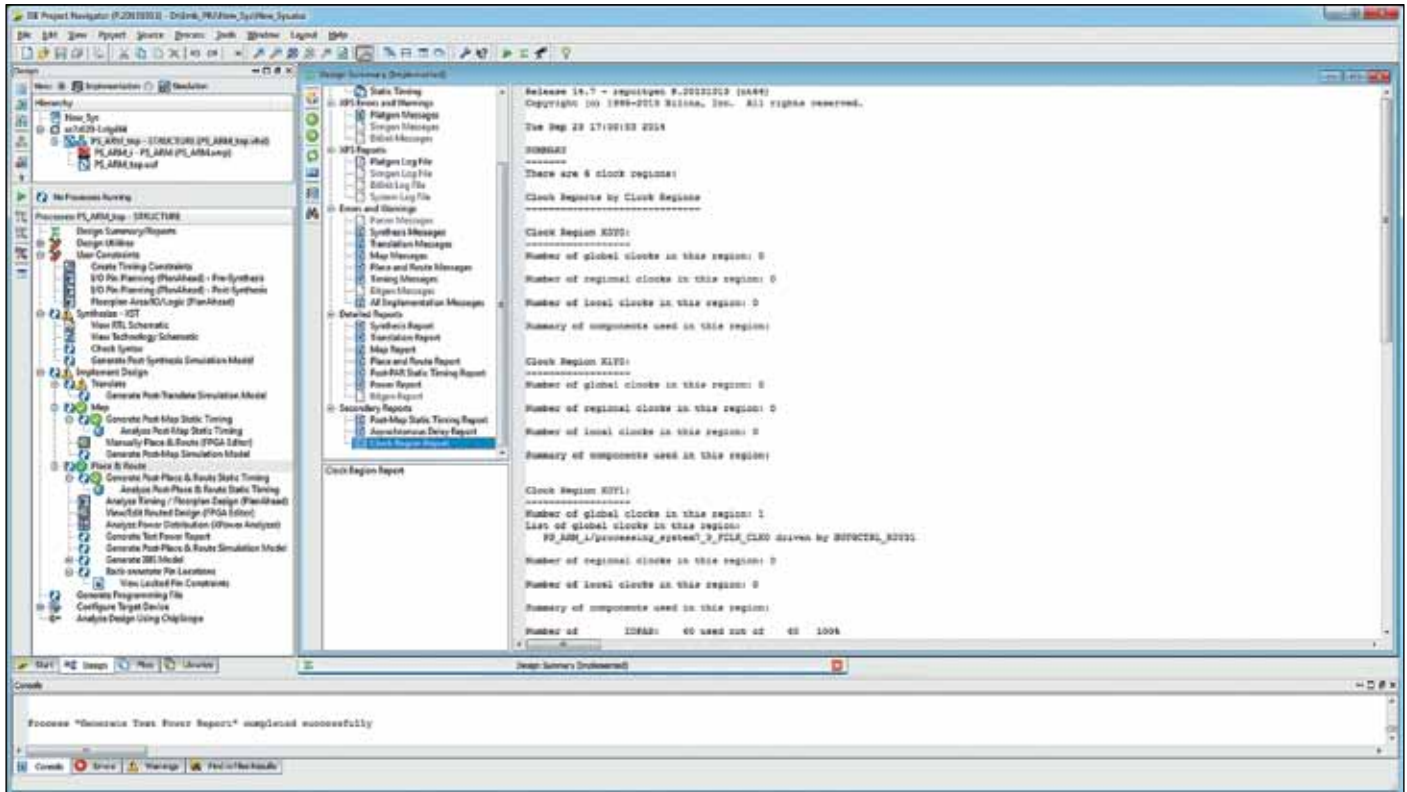


Рис. 99. Открытие отчета о сигналах синхронизации и используемых ресурсах по каждому региону тактирования

Clock Region X0Y1:

 Number of global clocks in this region: 1
 List of global clocks in this region:
 PS_ARM_i/processing_system7_0_FCLK_CLK0 driven by
 BUFGCTRL_X0Y31
 --
 Number of regional clocks in this region: 0
 --
 Number of local clocks in this region: 0
 --
 Summary of components used in this region:
 --
 Number of IOPAD: 60 used out of 60 100%
 Number of SLICEL: 12 used out of 800 1%
 Number of SLICEM: 5 used out of 400 1%

Clock Region X1Y1:

 Number of global clocks in this region: 1
 List of global clocks in this region:
 PS_ARM_i/processing_system7_0_FCLK_CLK0 driven by
 BUFGCTRL_X0Y31
 --
 Number of regional clocks in this region: 0
 --
 Number of local clocks in this region: 0
 --
 Summary of components used in this region:
 --

Number of IOB33M: 1 used out of 24 4%
 Number of SLICEL: 4 used out of 1750 1%

Clock Region X0Y2:

 Number of global clocks in this region: 1
 List of global clocks in this region:
 PS_ARM_i/processing_system7_0_FCLK_CLK0 driven by
 BUFGCTRL_X0Y31
 --
 Number of regional clocks in this region: 0
 --
 Number of local clocks in this region: 0
 --
 Summary of components used in this region:
 --
 Number of IOPAD: 70 used out of 70 100%
 Number of PS7: 1 used out of 1 100%
 Number of SLICEL: 24 used out of 800 3%
 Number of SLICEM: 18 used out of 400 4%

Clock Region X1Y2:

 Number of global clocks in this region: 1
 List of global clocks in this region:
 PS_ARM_i/processing_system7_0_FCLK_CLK0 driven by
 BUFGCTRL_X0Y31
 --
 Number of regional clocks in this region: 0
 --

Number of local clocks in this region: 0
 --
 Summary of components used in this region:
 --
 Number of IOB33: 2 used out of 2 100%
 Number of IOB33M: 3 used out of 24 12%
 Number of IOB33S: 2 used out of 24 8%
 Number of SLICEL: 18 used out of 1750 1%
 Number of SLICEM: 2 used out of 850 1%

Как видно из приведенного текста отчета, для реализации функций аппаратной части разрабатываемой системы сбора и обработки данных, конфигурируемой на базе ресурсов программируемой логики, используются четыре региона тактирования. В каждом из них для синхронизации работы компонентов применяется один глобальный тактовый сигнал, который формируется соответствующими ресурсами процессорной системы PS кристалла расширяемой вычислительной платформы. ■

Продолжение следует