

Продолжение. Начало в № 4 '2014

Проектирование встраиваемых микропроцессорных систем на базе расширяемых процессорных платформ семейства Zynq-7000 AP SoC в САПР Xilinx ISE Design Suite

Валерий ЗОТОВ
walerry@km.ru

Раздел отчета с заголовком IOB Properties предоставляет подробное описание параметров блоков ввода/вывода кристалла, используемых при реализации аппаратной части проектируемой микропроцессорной системы. Это описание выполнено в форме таблицы, в которой отражаются основные характеристики конфигури-

рования блоков ввода/вывода кристалла расширяемой процессорной платформы, задействованных в составе разрабатываемой встраиваемой системы. Вид этой таблицы демонстрирует рис. 71.

Таблица параметров блоков ввода/вывода включает десять колонок с заголовками IOB Name, Type, Direction, IO Standard, Diff Term, Drive Strength, Slew Rate, Reg (s), Resistor, IOB Delay. В колонке IOB Name перечислены идентификаторы внешних интерфейсных цепей аппаратной части проектируемой микропроцессорной системы, подключенных к выводам кристалла. В столбце Type указывается тип блока ввода/вывода, используемого для сопряжения соответствующей интерфейсной цепи с контактом кристалла расширяемой процессорной платформы. Блоки ввода/вывода, сопряженные с программируемой логикой PL, имеют условное обозначение IOB, а с процессорной системой PS — IOPAD. Колонка Direction предоставляет информацию о направлении передачи сигнала через соответствующие блоки ввода/вывода. Для входных контактов кристалла предлагается условное обозначение INTPUT, двунаправленных — BIDIR и выходных — OUTPUT. В ячейках столбца IO Standard приводятся условные обозначения цифровых сигнальных стандартов, в соответствии с которыми конфигурируются используемые блоки ввода/вывода кристалла. В колонке Diff Term представлены сведения о применении согласующих элементов для блоков ввода/вывода, сконфигурированных в соответствии с дифференциальными сигнальными стандартами. В ячейках колонки Drive Strength указана нагрузочная способность выходных каскадов соответствующих блоков ввода/вывода программируемой логики PL и процессорной системы PS. Ячейки столбца Slew Rate содержат информацию о режиме переключения сигналов — медленный (SLOW) или быстрый (FAST). В колонках Reg (s), Resistor и IOB Delay приводятся сведения об использовании соответственно триггеров, резисторов и элементов входной и выходной задержки, представленных в составе блоков ввода/вывода.

В секции RPMs отражена информация о макросах с относительным размещением (Relationally Placed Macro), применяемых в проекте аппаратной части разрабатываемой встраиваемой системы. В рассматриваемом примере встраиваемой микропроцессорной системы отсутствуют макросы с относительным размещением, поэтому отчет содержит только заголовок этого раздела:

Section 7 – RPMs

Секция Guide Report представляет собой отчет о выполнении процедур по образцу. В процессе отображения логического описания аппаратной части проектируемой простейшей системы сбора и обработки данных на физические ресурсы кристалла такие процедуры не выполнялись, о чем информирует соответствующая запись в данном разделе отчета:

IOB Name	Type	Direction	IO Standard	Diff Term	Drive Strength	Slew Rate	Reg (s)	Resistor	IOB Delay
axi_gpio_0_GPIO_IO_pin<0>	IOB	BIDIR	LVCNMOS18		12	SLOW			
axi_gpio_0_GPIO_IO_pin<1>	IOB	BIDIR	LVCNMOS18		12	SLOW			
axi_gpio_0_GPIO_IO_pin<2>	IOB	BIDIR	LVCNMOS18		12	SLOW			
axi_gpio_0_GPIO_IO_pin<3>	IOB	BIDIR	LVCNMOS18		12	SLOW			
axi_gpio_0_GPIO_IO_pin<4>	IOB	BIDIR	LVCNMOS18		12	SLOW			
axi_gpio_0_GPIO_IO_pin<5>	IOB	BIDIR	LVCNMOS18		12	SLOW			
axi_gpio_0_GPIO_IO_pin<6>	IOB	BIDIR	LVCNMOS18		12	SLOW			
axi_gpio_0_GPIO_IO_pin<7>	IOB	BIDIR	LVCNMOS18		12	SLOW			
processing_system7_0_DDR_Addr<0>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Addr<1>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Addr<2>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Addr<3>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Addr<4>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Addr<5>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Addr<6>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Addr<7>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Addr<8>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Addr<9>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Addr<10>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_BankAddr<0>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_BankAddr<1>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_BankAddr<2>	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_CAS_n	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_CKE	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_CS_n	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_Clk	IOPAD	OUTPUT	DIFF_STTL15			FAST			
processing_system7_0_DDR_Clk_a	IOPAD	OUTPUT	DIFF_STTL15			FAST			
processing_system7_0_DDR_DM<0>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DM<1>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DM<2>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DM<3>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<0>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<1>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<2>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<3>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<4>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<5>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<6>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<7>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<8>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<9>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<10>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<11>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<12>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<13>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<14>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQ<15>	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQS<0>	IOPAD	OUTPUT	DIFF_STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQS<1>	IOPAD	OUTPUT	DIFF_STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQS<2>	IOPAD	OUTPUT	DIFF_STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQS<3>	IOPAD	OUTPUT	DIFF_STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQS_n<0>	IOPAD	OUTPUT	DIFF_STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQS_n<1>	IOPAD	OUTPUT	DIFF_STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQS_n<2>	IOPAD	OUTPUT	DIFF_STTL15_T_DCI			FAST			
processing_system7_0_DDR_DQS_n<3>	IOPAD	OUTPUT	DIFF_STTL15_T_DCI			FAST			
processing_system7_0_DDR_DRSTB	IOPAD	OUTPUT	STTL15			FAST			
processing_system7_0_DDR_ODT	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_RAS_n	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_DDR_VRN	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_VRP	IOPAD	OUTPUT	STTL15_T_DCI			FAST			
processing_system7_0_DDR_WEB_pin	IOPAD	OUTPUT	STTL15			SLOW			
processing_system7_0_MIO<0>	IOPAD	OUTPUT	LVCNMOS33		8	FAST			
processing_system7_0_MIO<1>	IOPAD	OUTPUT	LVCNMOS33		8	FAST			
processing_system7_0_MIO<2>	IOPAD	OUTPUT	LVCNMOS33		8	FAST			
processing_system7_0_MIO<3>	IOPAD	OUTPUT	LVCNMOS33		8	FAST			
processing_system7_0_MIO<4>	IOPAD	OUTPUT	LVCNMOS33		8	FAST			
processing_system7_0_MIO<5>	IOPAD	OUTPUT	LVCNMOS33		8	FAST			
processing_system7_0_MIO<6>	IOPAD	OUTPUT	LVCNMOS33		8	FAST			
processing_system7_0_MIO<7>	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_MIO<8>	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_MIO<9>	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_MIO<10>	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_MIO<11>	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_MIO<12>	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_MIO<13>	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_MIO<14>	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_MIO<15>	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_MIO<16>	IOPAD	OUTPUT	LVCNMOS33		8	FAST			
processing_system7_0_MIO<17>	IOPAD	OUTPUT	LVCNMOS33		8	FAST			
processing_system7_0_MIO<18>	IOPAD	OUTPUT	LVCNMOS33		8	FAST			
processing_system7_0_PS_CLK_pin	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_PS_PORB_pin	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			
processing_system7_0_PS_SRSTB_pin	IOPAD	OUTPUT	LVCNMOS33		8	SLOW			

Рис. 71. Параметры используемых блоков ввода/вывода кристалла

Section 8 – Guide Report

Guide not run on this design.

Секция Area Group and Partition Summary содержит общую информацию о топологических группах и разбиении проекта на части. В рассматриваемом примере разрабатываемой микропроцессорной системы отсутствуют указанные группы и разделение проекта на части, поэтому в данном разделе представлены только соответствующие информационные сообщения:

Section 9 – Area Group and Partition Summary

Partition Implementation Status

No Partitions were found in this design.

Area Group Information

No area groups were found in this design.

Секция Timing Report информирует о возможности генерации дополнительного детализированного отчета о параметрах распространения сигналов аппаратной части проектируемой микропроцессорной системы и временных ограничениях, которые учитывались при осуществлении процесса отображения ее логического описания на физические ресурсы используемого кристалла. Содержание этого отчета подробно рассматривается в следующем разделе:

Section 10 – Timing Report

A logic-level (pre-route) timing report can be generated by using Xilinx static timing analysis tools, Timing Analyzer (GUI) or TRCE (command line), with the mapped NCD and PCF files. Please note that this timing report will be generated using estimated delay information. For accurate numbers, please generate a timing report with the post Place and Route NCD file.

For more information about the Timing Analyzer, consult the Xilinx Timing Analyzer Reference Manual; for more information about TRCE, consult the Xilinx Command Line Tools User Guide "TRACE" chapter.

Раздел Configuration String Details содержит информацию о дополнительных параметрах конфигурации специальных компонентов (например, блочной памяти Block RAM, цифровых модулей управления синхронизацией Digital Clock Manager (DCM)), используемых в составе аппаратной части разрабатываемой встраиваемой системы:

Section 11 – Configuration String Details

В проекте аппаратной части системы сбора и обработки данных указанные параметры не применяются, поэтому этот раздел отчета представлен лишь заголовком.

В секции Control Set Information приводятся сведения об управляющих сигналах триг-

Clock Signal	Reset Signal	Set Signal	Enable Signal	Slice Load Count	Bel Count
PS_ARM_ipprocessing_system7_0_FCLK_CLK0			GLOBAL_LOGIC1	19	37
PS_ARM_ipprocessing_system7_0_FCLK_CLK0				2	8
PS_ARM_ipprocessing_system7_0_FCLK_CLK0			PS_ARM_l1axi_interconnect_1/axi_interconnect_1/crossbar_samd/gen_samd_crossbar_samd_0/gen_crossbar_addr_arbiter_inst/grant_hot_1_inv	10	37
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_gpio_0/axi_gpio_0/AXI_LITE_IPIF_U1_SLAVE_ATTACHMENT1/DECODER/cs_cs_de		PS_ARM_l1axi_gpio_0/axi_gpio_0/AXI_LITE_IPIF_U1_SLAVE_ATTACHMENT1/start	1	1
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_gpio_0/axi_gpio_0/bu2zip_reset			8	14
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_gpio_0/axi_gpio_0/bu2zip_reset		PS_ARM_l1axi_gpio_0/axi_gpio_0/AXI_LITE_IPIF_U1_SLAVE_ATTACHMENT/GND_15_o_state1_1_squid_14_o	2	8
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_gpio_0/axi_gpio_0/bu2zip_reset		PS_ARM_l1axi_gpio_0/axi_gpio_0/AXI_LITE_IPIF_U1_SLAVE_ATTACHMENT1/DECODER/cs_out_1_0	8	16
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_interconnect_1/axi_interconnect_1/crossbar_samd/gen_samd_crossbar_samd_0/aa_grant_mst_0			1	2
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_interconnect_1/axi_interconnect_1/crossbar_samd/gen_samd_crossbar_samd_0/gen_crossbar_addr_arbiter_inst/is_ready_1_0			1	2
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_interconnect_1/axi_interconnect_1/crossbar_samd/gen_samd_crossbar_samd_0/reset			5	8
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_interconnect_1/axi_interconnect_1/crossbar_samd/gen_samd_crossbar_samd_0/reset		PS_ARM_l1axi_interconnect_1/axi_interconnect_1/crossbar_samd/gen_samd_crossbar_samd_0/gen_crossbar_gen_decoder_decoder_slave_inst_n018_1_inv	1	4
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_interconnect_1/axi_interconnect_1/ini_converter_bank/gen_conv_slo0[0]clock_conv_inst/INTERCONNECT_ARESETN_inv			1	3
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_interconnect_1/axi_interconnect_1/ini_protocol_conv_bank/gen_protocol_slo0[0]gen_prot_conv_conv_inst/gen_axilite_gen_axilite_conv_axilite_conv_inst/ARESETN_1_inv			3	3
PS_ARM_ipprocessing_system7_0_FCLK_CLK0	PS_ARM_l1axi_interconnect_1/axi_interconnect_1/ini_converter_bank/gen_conv_slo0[0]clock_conv_inst/interconnect_resets_resync<2>_inv			1	3

Рис. 72. Управляющие сигналы используемых триггерных элементов кристалла

герных элементов, имеющих в составе аппаратной части разрабатываемой встраиваемой системы. Эта информация оформлена в виде таблицы, которая включает шесть колонок с названиями Clock Signal, Reset Signal, Set Signal, Enable Signal, Slice Load Count и Bel Load Count. Таблица представлена на рис. 72.

В ячейках колонки Clock Signal перечислены идентификаторы тактовых сигналов, с которыми ассоциируются соответствующие сигналы управления. В ячейках столбца Reset Signal указаны идентификаторы сигналов сброса. Ячейки колонки Set Signal содержат названия сигналов установок. В ячейках столбца Enable Signal отображаются идентификаторы сигналов разрешения. Все идентификаторы управляющих сигналов представлены в полной форме, с учетом иерархической структуры проекта аппаратной части разрабатываемой микропроцессорной системы. В колонке Slice Load Count приведена информация о ко-

личестве секций, в которых используются соответствующие сигналы управления. Колонка Bel Load Count содержит сведения о количестве базовых элементов конфигурируемых логических блоков, связанных с соответствующими управляющими сигналами.

Секция Utilization by Hierarchy предоставляет подробную информацию об объеме различных физических ресурсов кристалла расширяемой процессорной платформы, задействованных для реализации каждого иерархического модуля проекта аппаратной части разрабатываемой встраиваемой системы. Эта информация представлена в форме таблицы, которая содержит тринадцать колонок с названиями Module, Partition, Slices, Slice Reg, LUTs, LUTRAM, BRAM/FIFO, DSP48E1, BUFG, BUFGIO, BUFR, MMCME2_AD и Full Hierarchical Name (рис. 73).

В колонке Module перечислены идентификаторы модулей, входящих в состав иерархи-

Module	Partition	Slices*	Slice Reg	LUTs	LUTRAM	BRAM/FIFO	DSP48E1	BUFG	BUFGIO	BUFR	MMCME2_AD	Full Hierarchical Name
PS_ARM_top		0/83	0/138	0/197	0/8	0/0	0/0	0/1	0/0	0/0	0/0	PS_ARM_top
-PS_ARM_i		0/83	0/138	0/197	0/8	0/0	0/0	0/1	0/0	0/0	0/0	PS_ARM_topPS_ARM_i
+++axi_gpio_0		0/31	0/62	0/67	0/8	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_gpio_0
+++axi_gpio_0		4/31	11/62	2/67	0/8	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_gpio_0/axi_gpio_0
++++AXI_LITE_IPIF_1		0/10	0/17	0/13	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_gpio_0/axi_gpio_0/AXI_LITE_IPIF_1
++++L1_SLAVE_ATTACHMENT1		9/10	16/17	12/13	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_gpio_0/axi_gpio_0/AXI_LITE_IPIF_U1_SLAVE_ATTACHMENT1
++++ini_DECODER		1/1	1/1	1/1	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_gpio_0/axi_gpio_0/AXI_LITE_IPIF_U1_SLAVE_ATTACHMENT1/DECODER
+++iproc_core_1		17/17	34/34	52/52	8/8	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_gpio_0/iproc_core_1
+++axi_interconnect_1		0/52	0/76	0/130	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1
+++axi_interconnect_1		0/52	0/76	0/130	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/axi_interconnect_1
+++crossbar_samd		0/41	0/64	0/108	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd
+++gen_samd_crossbar_samd_0		17/41	3/64	19/108	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/crossbar_samd_0/gen_crossbar_samd_0
+++gen_crossbar_addr_arb		12/12	4/44	46/46	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/gen_crossbar_addr_arb
+++gen_crossbar_gen_addr_decoder_inst		0/1	0/0	0/4	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/gen_crossbar_addr_decoder_inst
++++gen_target[0]gen_regio[0]gen_comparator_static_gen_addr_range_addr_decoder_inst		1/1	0/0	4/4	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/gen_crossbar_addr_decoder_inst/gen_regio[0]gen_comparator_static_gen_addr_range_addr_decoder_inst
++++LUT_LEVEL[1]compare_inst		0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/gen_crossbar_addr_decoder_inst/gen_regio[0]gen_comparator_static_gen_addr_range_addr_decoder_inst/LUT_LEVEL[1]compare_inst
++++gen_crossbar_gen_decoder_inst		4/4	10/10	17/17	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/gen_crossbar_addr_decoder_inst/gen_decoder_inst
++++gen_crossbar_mi_arb_inst		1/1	0/0	1/1	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/gen_crossbar_addr_decoder_inst/gen_decoder_inst/gen_decoder_inst
++++gen_crossbar_mi_arb_inst		1/1	0/0	2/2	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/gen_crossbar_addr_decoder_inst/gen_decoder_inst/gen_decoder_inst
++++gen_crossbar_mi_arb_inst		3/3	0/0	5/5	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/gen_crossbar_addr_decoder_inst/gen_decoder_inst/gen_decoder_inst
++++gen_crossbar_splitter_ar		1/1	2/2	4/4	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/gen_crossbar_addr_decoder_inst/gen_decoder_inst/gen_decoder_inst
++++gen_crossbar_splitter_ar		1/1	3/3	10/10	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/crossbar_samd/gen_crossbar_addr_decoder_inst/gen_decoder_inst/gen_decoder_inst
++++ini_converter_bank		0/1	0/1	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/ini_converter_bank
+++gen_conv_slo0[0]clock_conv_inst		1/1	1/1	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/ini_converter_bank/gen_conv_slo0[0]clock_conv_inst
+++ini_protocol_conv_bank		0/6	0/4	0/20	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/ini_protocol_conv_bank
+++gen_protocol_slo0[0]gen_prot_conv_inst		0/6	0/4	0/20	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/ini_protocol_conv_bank/gen_protocol_slo0[0]gen_prot_conv_inst
+++gen_axilite_gen_axilite_conv_inst		6/6	4/4	20/20	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/ini_protocol_conv_bank/gen_protocol_slo0[0]gen_prot_conv_inst/gen_axilite_gen_axilite_conv_inst
+++ini_register_slice_bank		0/0	0/1	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/ini_register_slice_bank
+++gen_reg_slo0[0]register_inst		0/0	1/1	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/ini_register_slice_bank/gen_reg_slo0[0]register_inst
+++ini_converter_bank		0/4	0/6	0/2	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/ini_converter_bank
+++gen_conv_slo0[0]clock_conv_inst		4/4	6/6	2/2	0/0	0/0	0/0	0/0	0/0	0/0	0/0	PS_ARM_topPS_ARM_i_axi_interconnect_1/ini_converter_bank/gen_conv_slo0[0]clock_conv_inst
+++iprocessing_system7_0		0/0	0/0	0/0	0/0	0/0	0/0	0/1	0/0	0/0	0/0	PS_ARM_topPS_ARM_iprocessing_system7_0
+++processing_system7_0		0/0	0/0	0/0	0/0	0/0	0/0	1/1	0/0	0/0	0/0	PS_ARM_topPS_ARM_iprocessing_system7_0/processing_system7_0

Рис. 73. Объем физических ресурсов кристалла, задействованных для реализации каждого иерархического модуля

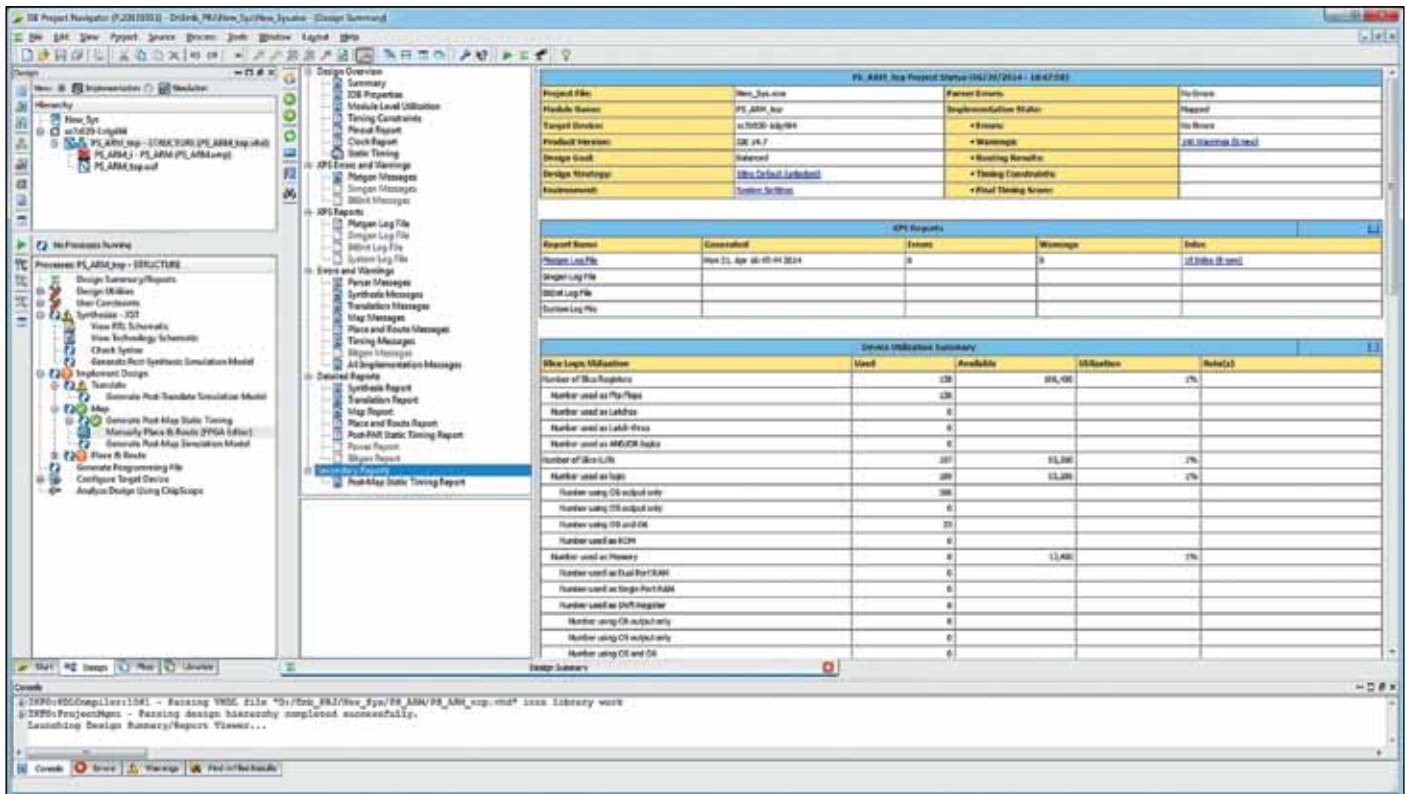


Рис. 74. Вид основного окна Project Navigator после завершения процедуры вычисления временных характеристик аппаратной части проектируемой системы

ческой структуры проекта аппаратной части создаваемой микропроцессорной системы. Ячейки столбца Partition информируют о том, к какому разделу проекта относятся соответствующие иерархические модули (при разбиении проекта на части). В колонке Slices отображены сведения о количестве секций программируемой логики, используемых в составе каждого иерархического модуля. В столбце Slice Reg представлена информация о числе триггеров, входящих в состав секций программируемой логики, которые применяются для реализации соответствующих иерархических модулей. Ячейки колонки LUTs содержат сведения о количестве таблиц преобразования, задействованных для реализации каждого модуля иерархической структуры проекта аппаратной части разрабатываемой встраиваемой системы. В колонке LUTRAM приведена информация о числе таблиц преобразования, которые конфигурируются в виде элементов распределенной памяти (ОЗУ или ПЗУ) или сдвиговых регистров в составе соответствующих иерархических модулей. В ячейках столбца BRAM/FIFO представлены сведения о количестве модулей блочной памяти Block RAM, используемых в каждом иерархическом модуле. В колонке DSP48E1 указывается число секций цифровой обработки сигналов, включенных в состав различных иерархических модулей. В столбце BUFG содержатся сведения о количестве глобальных буферных элементов, применяемых в каждом иерархическом модуле. В колонке BUFGIO отображается информация о числе одноименных буферных элементов, задействованных в соответствующих иерархических модулях. В ячейках столбца BUFR приведены сведения о количестве региональных буферных элементов, используемых в составе каждого иерархического модуля. Колонка MMCME2_AD предоставляет информацию о числе комбинированных блоков управления синхронизацией Mixed-Mode Clock Managers, применяемых в составе соответствующих иерархических модулей. В столбце Full Hierarchical Name отображаются полные идентификаторы всех модулей, входящих в состав аппаратной части разрабатываемой встраиваемой системы, включающие информацию об уровнях в составе иерархической структуры проекта.

Завершают рассматриваемую секцию отчета пояснения к приведенной таблице:

- * Slices can be packed with basic elements from multiple hierarchies. Therefore, a slice will be counted in every hierarchical module that each of its packed basic elements belong to.
- ** For each column, there are two numbers reported <A>/. <A> is the number of elements that belong to that specific hierarchical module. is the total number of elements from that hierarchical module and any lower level hierarchical modules below.
- *** The LUTRAM column counts all LUTs used as memory including RAM, ROM, and shift registers.

Определение временных характеристик аппаратной части проектируемой системы после отображения ее логического описания на физические ресурсы кристалла

Для активизации процедуры вычисления временных характеристик аппаратной части разрабатываемой встраиваемой системы, производимого после отображения ее логического описания на физические ресурсы кристалла, нужно во встроеной панели процессов Project Navigator расположить курсор на строке Generate Post-Map Static Timing (рис. 59) и дважды щелкнуть левой кнопкой мыши. Последовательность выполнения этой процедуры отображается в окне консольных сообщений Project Navigator. После окончания процедуры оценки временных характеристик аппаратной части проектируемой микропроцессорной системы в строке Generate Post-Map Static Timing отображается соответствующая пиктограмма, информирующая о характере ее завершения, и формируется дополнительный отчет. В разделе Secondary Reports вкладки Design Summary области расположения рабочих окон Project Navigator добавляется строка Post-Map Static Timing Report, как показано на рис. 74.

Указанная строка предоставляет быстрый доступ к сгенерированному отчету, содержащему предварительные оценки временных параметров аппаратной части разрабатываемой встраиваемой системы. Для просмотра отчета достаточно расположить курсор в строке Post-Map Static Timing Report и щелкнуть левой кнопкой мыши. В результате на вкладке Design Summary появляются две дополнительные встроены панели. Во встроеной панели с заголовком Post-Map Static Timing Report представлена интерактивная структура отчета

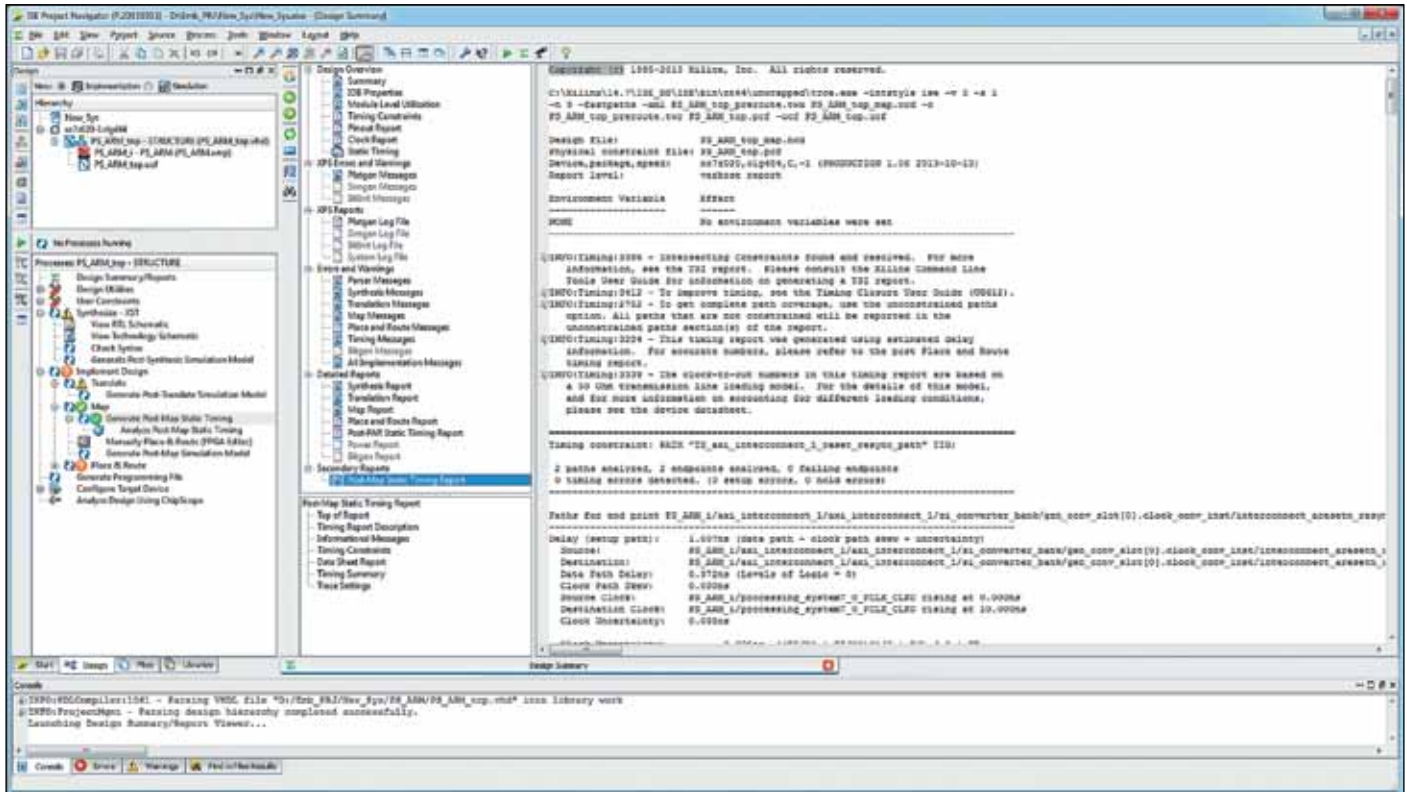


Рис. 75. Открытие отчета, содержащего предварительные оценки временных параметров аппаратной части разрабатываемой встраиваемой системы

о временных параметрах аппаратной части проектируемой микропроцессорной системы (рис. 75).

Встроенная панель, расположенная в правой части вкладки **Design Summary**, предназначена для отображения содержимого сформированного отчета в текстовом формате. Для визуализации какой-либо секции отчета в видимой части встроенной панели достаточно расположить курсор на строке с названием требуемой секции во встроенной панели **Post-Map Static Timing Report** и щелкнуть левой кнопкой мыши.

Структура и содержание отчета о временных характеристиках аппаратной части разрабатываемой встраиваемой системы

Интерактивная структура рассматриваемого отчета включает семь секций, озаглавленных соответственно **Top of Report**, **Timing Report Description**, **Informational Messages**, **Timing Constraints**, **Data Sheet Report**, **Timing Summary** и **Trace Settings**. В первой секции отчета (**Top of Report**) приведена информация о версии программы анализа временных параметров аппаратной части разрабатываемой встраиваемой системы и командной строке, используемой для активизации этой программы:

```
-----
Release 14.7 Trace (nt64)
Copyright (c) 1995-2013 Xilinx, Inc. All rights reserved.
...
C:\Xilinx\14.7\ISE_DS\ISE\bin\nt64\unwrapped\trce.exe -intstyle ise -v 3 -s 1 -n 3 -fastpaths -xml PS_ARM_top_preroute.twx PS_ARM_top_map.ncd -o PS_ARM_top_preroute.twr PS_ARM_top.pcf -ucf PS_ARM_top.ucf
-----
```

Секция **Timing Report Description** содержит сведения об исходных файлах, используемых при формировании отчета о временных характеристиках аппаратной части проектируемой микропроцессорной системы, а также о типе, корпусе, исполнении и быстродействии кристалла расширяемой процессорной платформы, применяемой для реализации этой системы. Здесь же представлена информация о типе

сформированного отчета и дополнительных переменных окружения, установленных для программных средств временного анализа:

```
-----
Design file: PS_ARM_top_map.ncd
Physical constraint file: PS_ARM_top.pcf
Device,package,speed: xc7z020,clg484,C,-1 (PRODUCTION 1.08 2013-10-13)
Report level: verbose report
...
Environment Variable Effect
-----
NONE No environment variables were set
-----
```

В секции **Informational Messages** сосредоточены сообщения и рекомендации, сгенерированные программой **Tracer** в ходе вычисления временных характеристик аппаратной части разрабатываемой встраиваемой системы. В частности, сообщается о разрешении всех обнаруженных пересекающихся временных ограничений, более подробную информацию о которых можно найти в отчете **TSI**. Кроме того, здесь же приведены краткие рекомендации по улучшению временных параметров аппаратной части проектируемой микропроцессорной системы, более детальные сведения о которых имеются в соответствующей документации. Для получения точных значений параметров распространения сигналов рекомендуется обратиться к аналогичному отчету, формируемому после завершения этапа размещения и трассировки проекта в кристалле расширяемой процессорной платформы:

```
-----
INFO:Timing:3386 - Intersecting Constraints found and resolved. For more information, see the TSI report.
Please consult the Xilinx Command Line Tools User Guide for information on generating a TSI report.
INFO:Timing:3412 - To improve timing, see the Timing Closure User Guide (UG612).
INFO:Timing:2752 - To get complete path coverage, use the unconstrained paths option. All paths that are
not constrained will be reported in the unconstrained paths section(s) of the report.
INFO:Timing:3284 - This timing report was generated using estimated delay information. For accurate
numbers, please refer to the post Place and Route timing report.
INFO:Timing:3339 - The clock-to-out numbers in this timing report are based on a 50 Ohm transmission line
loading model. For the details of this model, and for more information on accounting for different loading
conditions, please see the device datasheet.
-----
```

В секции Timing Constraints представлены сведения о заданных временных ограничениях и маршрутах распространения сигналов, которые они охватывают. В начале этой секции отображается информация о количестве обнаруженных ошибок временных соотношений для анализируемых маршрутов. Далее для каждого из маршрутов приведена подробная информация о временных параметрах, включающая, в частности, значения задержек распространения сигналов по этим маршрутам и величину нестабильности соответствующих тактовых сигналов. Ниже показан первый подраздел данной секции отчета, содержащий указанные сведения для одной конечной точки анализируемых маршрутов:

```
-----
Timing constraint: PATH "TS_axi_interconnect_1_reset_resync_path" TIG;

2 paths analyzed, 2 endpoints analyzed, 0 failing endpoints
0 timing errors detected. (0 setup errors, 0 hold errors)
-----

Paths for end point PS_ARM_i/axi_interconnect_1/axi_interconnect_1/si_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_aresetn_resync_1 (SLICE_X44Y89.CX), 1 path
-----
Delay (setup path): 1.007ns (data path - clock path skew + uncertainty)
Source: PS_ARM_i/axi_interconnect_1/axi_interconnect_1/si_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_aresetn_resync_0 (FF)
Destination: PS_ARM_i/axi_interconnect_1/axi_interconnect_1/si_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_aresetn_resync_1 (FF)
Data Path Delay: 0.972ns (Levels of Logic = 0)
Clock Path Skew: 0.000ns
Source Clock: PS_ARM_i/processing_system7_0_FCLK_CLK0 rising at 0.000ns
Destination Clock: PS_ARM_i/processing_system7_0_FCLK_CLK0 rising at 10.000ns
Clock Uncertainty: 0.035ns
-----

Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ): 0.070ns
Total Input Jitter (TIJ): 0.000ns
Discrete Jitter (DJ): 0.000ns
Phase Error (PE): 0.000ns
-----

Maximum Data Path at Slow Process Corner: PS_ARM_i/axi_interconnect_1/axi_interconnect_1/si_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_aresetn_resync_0 to PS_ARM_i/axi_interconnect_1/axi_interconnect_1/si_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_aresetn_resync_1
-----

Location      Delay type      Delay(ns)      Physical Resource
Logical Resource(s)
-----
SLICE_X44Y89.BMUX      Tshcko      0.591
PS_ARM_i/axi_interconnect_1/axi_interconnect_1/si_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_aresetn_resync<2>
-----
PS_ARM_i/axi_interconnect_1/si_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_aresetn_resync_0
-----
SLICE_X44Y89.CX      net (fanout=1) e      0.338
PS_ARM_i/axi_interconnect_1/axi_interconnect_1/si_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_aresetn_resync<0>
-----
SLICE_X44Y89.CLK      Tdick      0.043
PS_ARM_i/axi_interconnect_1/axi_interconnect_1/si_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_aresetn_resync<2>
-----
PS_ARM_i/axi_interconnect_1/axi_interconnect_1/si_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_aresetn_resync_1
-----

Total 0.972ns (0.634ns logic, 0.338ns route)
(65.2% logic, 34.8% route)
-----
```

Дополнительная информация об этой секции отчета будет представлена в следующем разделе.

В секции Data Sheet Report отображаются справочные данные, которые обусловлены установленными определенными временными ограничениями. В проекте аппаратной части разрабатываемой микропроцессорной системы такие ограничения отсутствуют, поэтому указанная секция не содержит справочных данных:

```
-----
Data Sheet report:
-----
No constraints were found to generate data for the Data Sheet Report section.
Use the Advanced Analysis (-a) option or generate global constraints for each clock, its pad to setup and clock to pad paths, and a pad to pad constraint.
-----
```

Секция Timing Summary предоставляет итоговую информацию о результатах статического временного анализа проекта аппаратной

части разрабатываемой встраиваемой системы. Здесь, прежде всего, следует обратить внимание на сведения о количестве обнаруженных ошибок и предельных значениях периода и частоты сигналов:

```
-----
Timing summary:
-----
Timing errors: 0 Score: 0 (Setup/Max: 0, Hold: 0)
--
Constraints cover 1775 paths, 0 nets, and 1014 connections
--
Design statistics:
Minimum period: 5.635ns{1} (Maximum frequency: 177.462MHz)
--
-----Footnotes-----
1) The minimum period statistic assumes all single cycle delays.
-----
Analysis completed Mon Jul 28 19:46:19 2014
-----
```

В секции Trace Settings представлены сведения о дополнительных установочных параметрах программы Trace. При вычислении временных характеристик аппаратной части простейшей системы сбора и обработки данных такие параметры отсутствуют, поэтому данная секция отчета содержит только информацию о максимальном объеме используемой памяти:

```
-----
Trace Settings:
-----
Trace Settings

Peak Memory Usage: 630 MB
-----
```

Возможность изучения временных характеристик аппаратной части проектируемой микропроцессорной системы в более наглядной форме предоставляют программные средства отображения результатов временного анализа Timing Analyzer View, которые доступны в среде управляющей оболочки САПР Xilinx ISE Design Suite.

Отображение временных характеристик аппаратной части разрабатываемой встраиваемой системы с помощью программных средств Timing Analyzer View

Для того чтобы воспользоваться программными средствами Timing Analyzer View для отображения результатов вычислений временных параметров аппаратной части проектируемой микропроцессорной системы, следует во встроенной панели процессов Processes Project Navigator развернуть раздел Generate Post-Map Static Timing, после чего расположить курсор на строке Analyze Post-Map Static Timing (рис. 75) и дважды щелкнуть левой кнопкой мыши. Вслед за этим на экран выводится информационная панель с заголовком Timing Report Tips, вид которой показан на рис. 76.



Рис. 76. Вид информационной панели Timing Report Tips

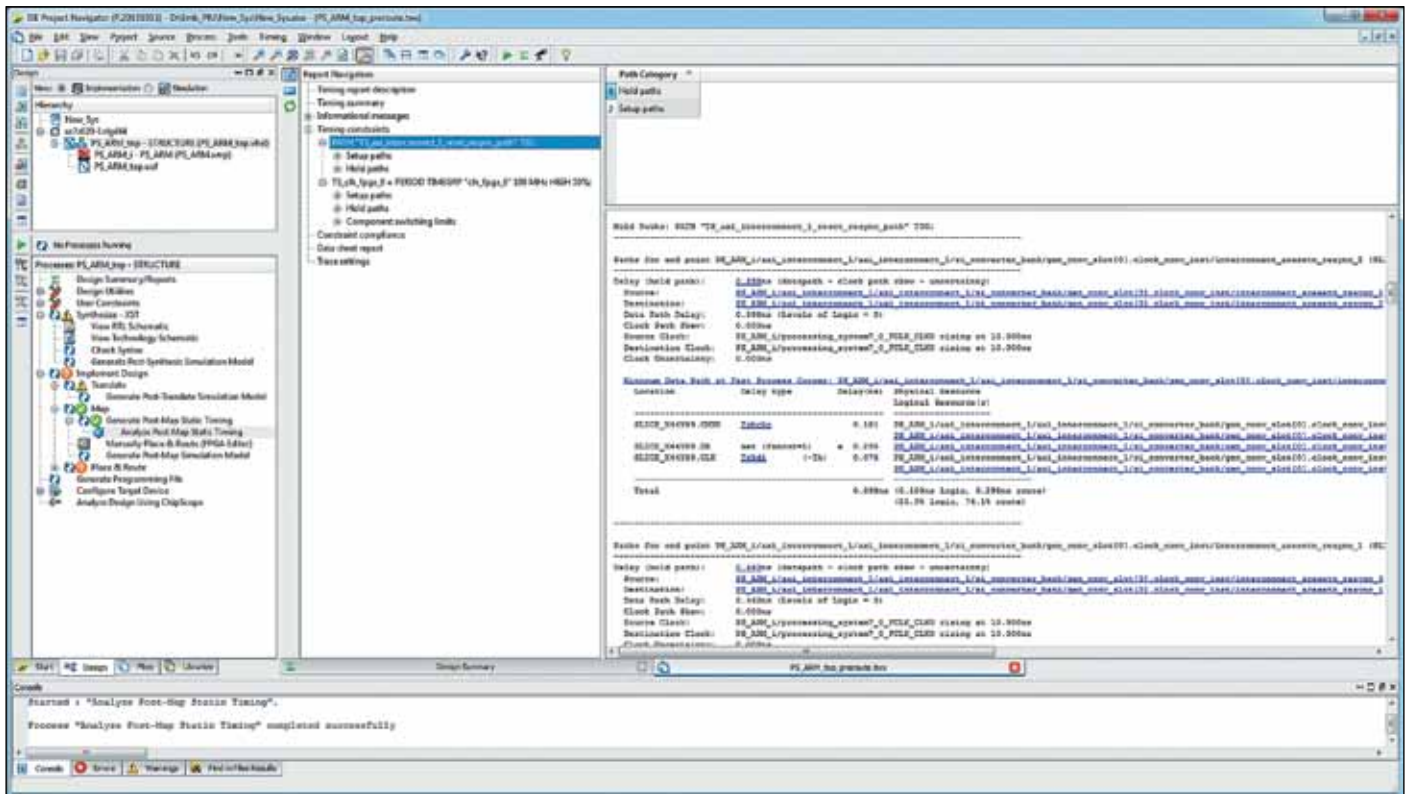




Рис. 77. Отображение отчета о результатах временного анализа в текстовом формате

Эта информационная панель содержит сообщения о возможных формах представления отчета о результатах временного анализа программными средствами Timing Analyzer View и способе переключения из одного формата в другой. Рассматриваемый отчет может отображаться в текстовом или HTML-формате. После закрытия информационной панели Timing Report Tips в области расположения рабочих окон Project Navigator появляется новая вкладка, название которой совпадает с идентификатором файла отчета (рис. 77).

На вкладке представлено рабочее окно программных средств Timing Analyzer View, в состав которого входят три встроенные панели. В левой части окна расположена встроенная панель с заголовком Report Navigation, предоставляющая эффективный механизм навигации по всем секциям и подразделам отчета о временных параметрах разрабатываемой встраиваемой системы. Эта встроенная панель навигации обеспечивает возможность не только получения детализированной структуры содержимого основной секции отчета (Timing Constraints), но и быстрого поиска и отображения информации о каждом анализируемом пути распространения сигналов. В правой верхней части окна программных средств Timing Analyzer View находится встроенная панель, позволяющая уточнить вид отображаемой информации для подраздела отчета, выбранного в панели навигации Report Navigation. В этой панели могут отображаться возможные варианты категорий путей распространения сигналов для выбран-

ного выражения временного ограничения, а также список анализируемых маршрутов. Встроенная панель, расположенная в правой нижней части рассматриваемой вкладки, демонстрирует соответствующий фрагмент отчета в текстовом или HTML-формате.

По умолчанию предлагается текстовая форма отображения отчета, которая приведена на рис. 77. В этом варианте представления отчета он доступен в полном объеме в указанной встроенной панели, в видимой части которой отображается содержимое выбранного подраздела отчета. Перемещение по отчету может осуществляться не только с помощью панели навигации Report Navigation, но и посредством стандартных элементов вертикальной прокрутки, расположенных в правой части встроенной панели. Наиболее наглядным способом анализа временных параметров аппаратной части проектируемой микропроцессорной системы является представление сформированного отчета в HTML-формате. Для переключения в этот формат можно воспользоваться командой View из контекстно-зависимого всплывающего меню, открываемого щелчком правой кнопкой мыши, или кнопкой быстрого доступа , расположенной на панели инструментов, которая находится слева от области расположения рабочих окон Project Navigator. После выполнения команды контекстно-зависимого меню View или нажатия кнопки быстрого доступа рассматриваемая вкладка преобразуется к виду, представленному на рис. 78. Возврат к текстовой форме отображения отчета выполняется с помощью команды контекстно-зави-

мого меню View с последующим выбором требуемого варианта или кнопки быстрого доступа .

При выборе HTML-формата для представления рассматриваемого отчета в правой нижней встроенной панели рабочего окна программных средств Timing Analyzer View открывается только выбранный подраздел. Для перехода к другой секции или подразделу отчета необходимо воспользоваться соответствующими инструментами панели навигации Report Navigation. В случае отображения отчета в формате HTML вся информация о временных параметрах аппаратной части проектируемой микропроцессорной системы представляется в табличной форме. Причем количество и содержание таблиц зависит от типа выбранного временного ограничения и категории анализируемых маршрутов распространения сигналов.

В проекте аппаратной части простейшей системы сбора и обработки данных задано два вида временных ограничений, для которых средствами статического временного анализа вычисляются параметры распространения сигналов по соответствующим маршрутам:

```
PATH "TS_axi_interconnect_1_reset_resync_path" TIG;
TS_clk_fpga_0 = PERIOD TIMEGRP "clk_fpga_0" 100 MHz HIGH 50%;
```

Для отображения значений временных параметров распространения сигналов в определенной конечной точке маршрутов необходимо в панели навигации Report Navigation выделить строку с требуемым выражени-

Paths for end point PS_ARM_1/axi_interconnect_1/axi_interconnect_1/axi_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_arsets_resync_2 (SLICE_X44Y89.DX), 1 path

Delay (setup path): 0.927 ns (data path - clock path skew + uncertainty)

Source: PS_ARM_1/processing_system7_0_FCLK_CLK0 rising at 0.000ns
 Destination: PS_ARM_1/axi_interconnect_1/axi_interconnect_1/axi_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_arsets_resync_2 (FF)

Data Path Delay: 0.927ns (Levels of Logic = 0)
 Clock Path Skew: 0.000ns
 Source Clock: PS_ARM_1/processing_system7_0_FCLK_CLK0 rising at 0.000ns
 Destination Clock: PS_ARM_1/processing_system7_0_FCLK_CLK0 rising at 10.000ns
 Clock Uncertainty: 0.035ns

Clock Uncertainty: $0.035ns ((TSJ^2 + TH^2)^{1/2} + DJ) / 2 + PE$

Total System Jitter (TSJ): 0.070ns
 Total Input Jitter (TIJ): 0.000ns
 Discrete Jitter (DJ): 0.000ns
 Phase Error (PE): 0.000ns

Maximum Data Path in Slow Process Chain: PS_ARM_1/axi_interconnect_1/axi_interconnect_1/axi_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_arsets_resync_2

Location	Delay type	Delay(ns)	Physical Resource
SLICE_X44Y89.CMUX	Tableau	0.592	PS_ARM_1/axi_interconnect_1/axi_interconnect_1/axi_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_arsets_resync_2
SLICE_X44Y89.DX	net (fanout=1)	0.295	PS_ARM_1/axi_interconnect_1/axi_interconnect_1/axi_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_arsets_resync_2
SLICE_X44Y89.CLK	Tableau	0.040	PS_ARM_1/axi_interconnect_1/axi_interconnect_1/axi_converter_bank/gen_conv_slot[0].clock_conv_inst/interconnect_arsets_resync_2
			(0.632ns logic, 0.295ns route)
		Total	0.927ns (68.2% logic, 31.8% route)

Рис. 80. Отображение временных параметров маршрутов Setup paths для первого ограничения

Маршруты распространения сигналов, ассоциируемые с временными ограничениями первого вида, распределены по двум категориям — Setup paths и Hold paths. Информация о временных параметрах для каждой конечной точки маршрутов передачи данных, относящихся к первой категории (Setup paths), отражена в таблице, состоящей из трех вложенных таблиц, вид которой демонстрирует рис. 80.

В первой из этих вложенных таблиц приводится описание анализируемых путей распространения сигнала, максимальное значение задержки, величина задержки передачи данных, а также основные временные параметры

соответствующего тактового сигнала. Следует обратить внимание на то, что условные обозначения исходной и конечной точки маршрута отображаются в таблице в виде гиперссылок, которые позволяют в наглядной форме получить информацию о расположении соответствующих элементов в кристалле. Для этого необходимо предварительно открыть окно топологического редактора FPGA Editor, рассмотренного в предыдущей части статьи. Затем следует указать курсором нужную гиперссылку и щелкнуть левой кнопкой мыши. В результате условный графический образ соответствующего элемента, отмеченный крас-

ной точкой, отобразится в центре окна Array топологического редактора FPGA Editor, вид которого приведен на рис. 81.

Во второй вложенной таблице содержатся значения временных параметров, определяющих величину нестабильности сигнала синхронизации для анализируемого маршрута передачи данных. Здесь представлено суммарное значение нестабильности тактового сигнала, а также значения системного, входного, дискретного джиттера и фазовой ошибки.

Третья вложенная таблица предоставляет значения временных параметров распространения сигналов по максимальному маршруту для предельного случая. Таблица включает четыре колонки с названиями — Location, Delay type, Delay(ns) и Physical Resource/Logical Resource(s). В колонке Location указано расположение в кристалле элементов рассматриваемого маршрута передачи сигнала. В столбце Delay type приводится информация о типе задержки, вносимой соответствующим элементом. Тип задержки в большинстве случаев представлен в виде условного обозначения соответствующего параметра, содержащегося в справочных данных используемого кристалла расширяемой процессорной платформы. Условные обозначения отображаются в формате гиперссылки, позволяющей получить доступ к справочному руководству, в котором определены соответствующие временные параметры. При установке курсора на тексте гиперссылки и щелчке левой кнопкой мыши в области расположения рабочих окон Project Navigator открывается страница поддержки

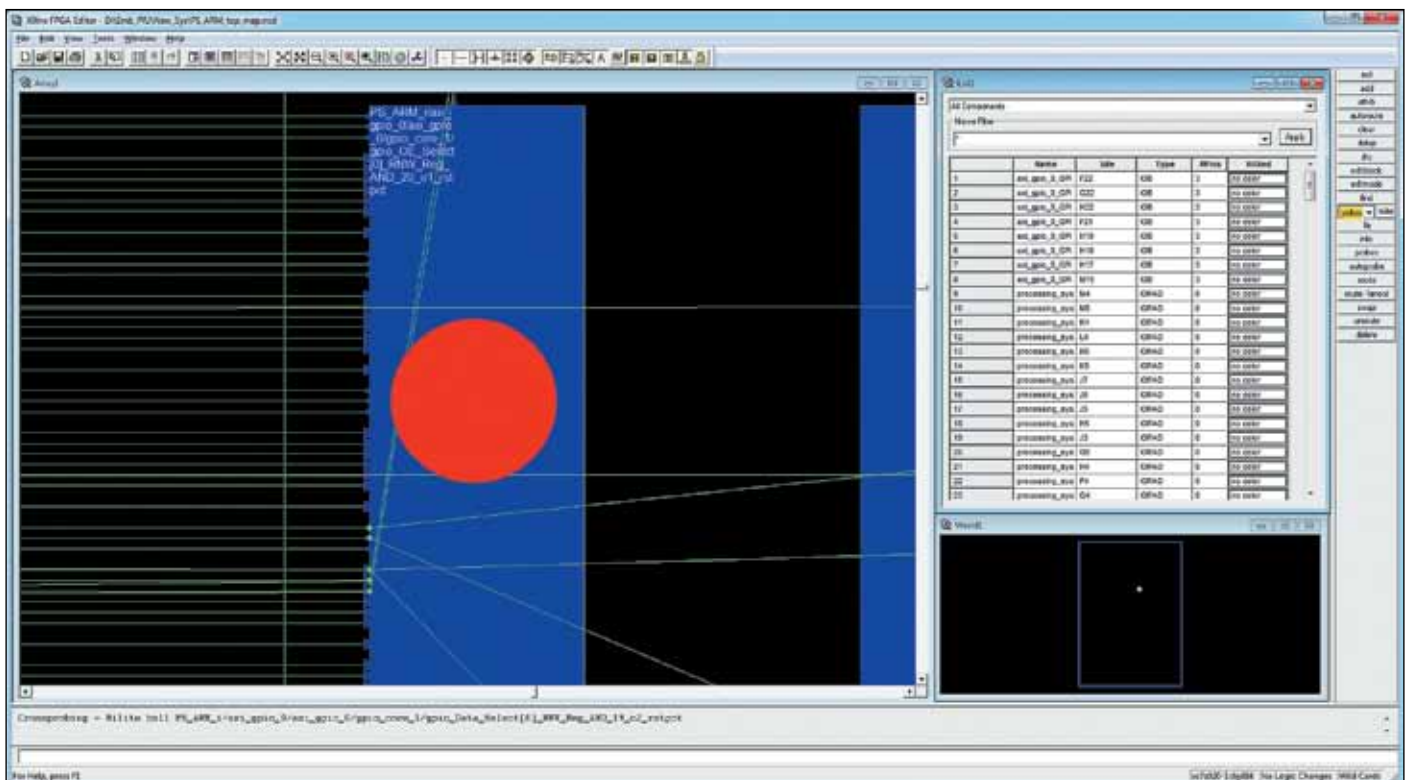


Рис. 81. Отображение элементов анализируемого маршрута передачи данных в окне топологического редактора FPGA Editor

